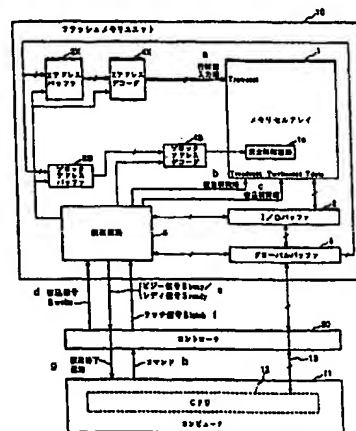




(51) 国際特許分類6 G06F 12/02	A1	(11) 国際公開番号 WO99/30239 (43) 国際公開日 1999年6月17日(17.06.99)
(21) 国際出願番号 PCT/JP98/05441 (22) 国際出願日 1998年12月2日(02.12.98) (30) 優先権データ 特願平9/335596 1997年12月5日(05.12.97) JP (71) 出願人 (米国を除くすべての指定国について) 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED)[JP/JP] 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 菊地修一(KIKUCHI, Shuichi)[JP/JP] 〒023-0171 岩手県江刺市田原字宿75-12 Iwate, (JP) (74) 代理人 弁理士 木村 満(KIMURA, Mitsuru) 〒101-0054 東京都千代田区神田錦町二丁目7番地 協販ビル7階 Tokyo, (JP)		(81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書
(54) Title: MEMORY AND ACCESS METHOD (54) 発明の名称 記憶装置及びアクセス方法 (57) Abstract An address conversion table where the correspondence between the logical address and physical address for accessing a memory cell array (1) is listed and a free block table showing the locations of free blocks are stored in an arbitrary block of the memory cell array (1). When data is read out from the memory cell array (1), the physical address is found with reference to the address conversion table, and then data is read out. When data is written, a free block is found from the free block table and data is written in the empty block. The updated address conversion table and free block table are written in another free block.		





- | | |
|-----------------------------|-----------------------------|
| 1 ... MEMORY CELL ARRAY | 21 ... CONTROLLER |
| 2 ... ROW CONTROL UNIT | 22 ... ROW CONTROL UNIT |
| 3 ... COLUMN CONTROL UNIT | 23 ... COLUMN CONTROL UNIT |
| 4 ... READ BUFFER | 24 ... WRITE BUFFER |
| 5 ... WRITE BUFFER | 25 ... READ ADDRESS DECODE |
| 6 ... READ ADDRESS DECODE | 26 ... WRITE ADDRESS DECODE |
| 7 ... WRITE ADDRESS DECODE | 27 ... READ ADDRESS DECODE |
| 8 ... READ ADDRESS DECODE | 28 ... WRITE ADDRESS DECODE |
| 9 ... WRITE ADDRESS DECODE | 29 ... READ ADDRESS DECODE |
| 10 ... READ ADDRESS DECODE | 30 ... WRITE ADDRESS DECODE |
| 11 ... WRITE ADDRESS DECODE | 31 ... READ ADDRESS DECODE |
| 12 ... READ ADDRESS DECODE | 32 ... WRITE ADDRESS DECODE |
| 13 ... CPU | 33 ... READ ADDRESS DECODE |
| 14 ... WRITE ADDRESS DECODE | 34 ... READ ADDRESS DECODE |
| 15 ... READ ADDRESS DECODE | 35 ... WRITE ADDRESS DECODE |
| 16 ... WRITE ADDRESS DECODE | 36 ... READ ADDRESS DECODE |
| 17 ... READ ADDRESS DECODE | 37 ... WRITE ADDRESS DECODE |
| 18 ... WRITE ADDRESS DECODE | 38 ... READ ADDRESS DECODE |
| 19 ... READ ADDRESS DECODE | 39 ... WRITE ADDRESS DECODE |
| 20 ... WRITE ADDRESS DECODE | 40 ... READ ADDRESS DECODE |



MEMORY AND ACCESS METHOD

Patent number: WO9930239
Publication date: 1999-06-17
Inventor: KIKUCHI SHUICHI (JP)
Applicant: TOKYO ELECTRON LTD (JP); KIKUCHI SHUICHI (JP)
Classification:
- international: **G06F12/02; G06F12/02; (IPC1-7): G06F12/02**
- european: **G06F12/02D2E2**
Application number: WO1998JP05441 19981202
Priority number(s): JP19970335596 19971205

Also published as:

 EP0973097 (A1)
 US6477632 (B1)

Cited documents:

 JP6187205
 JP7134674
 JP8249225

Report a data error here

Abstract of WO9930239

An address conversion table where the correspondence between the logical address and physical address for accessing a memory cell array (1) is listed and a free block table showing the locations of free blocks are stored in an arbitrary block of the memory cell array (1). When data is read out from the memory cell array (1), the physical address is found with reference to the address conversion table, and then data is read out. When data is written, a free block is found from the free block table and data is written in the empty block. The updated address conversion table and free block table are written in another free block.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

再公表特許 (A 1)

(11) 国際公開番号

WO 99 / 3 0 2 3 9

発行日 平成12年8月8日 (2000.8.8)

(43) 国際公開日 平成11年6月17日 (1999.6.17)

(51) Int.Cl.⁷

識別記号

F I

G 0 6 F 12/02

審査請求 未請求 予備審査請求 未請求 (全 57 頁)

出願番号 特願平11-530614
(21) 国際出願番号 PCT / J P 9 8 / 0 5 4 4 1
(22) 国際出願日 平成10年12月2日 (1998.12.2)
(31) 優先権主張番号 特願平9-335596
(32) 優先日 平成9年12月5日 (1997.12.5)
(33) 優先権主張国 日本 (J P)
(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, I T, LU, MC, NL, PT, SE), J P, KR, U S

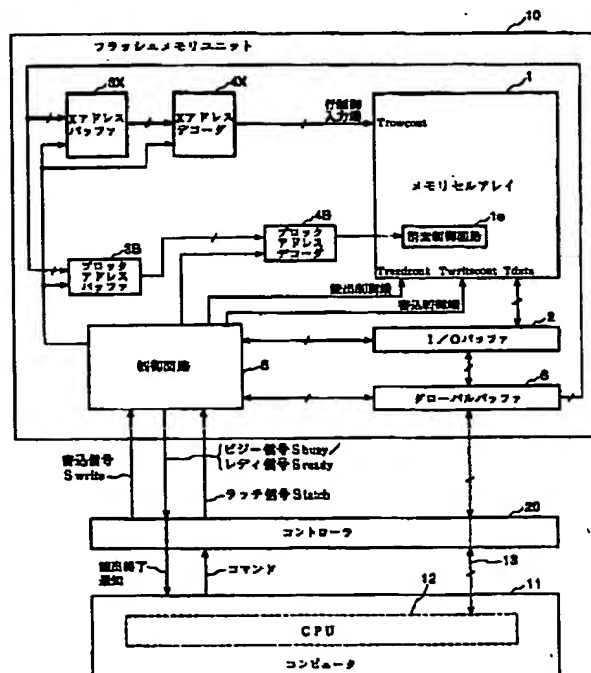
(71) 出願人 東京エレクトロン株式会社
東京都港区赤坂5丁目3番6号
(72) 発明者 菊地 修一
岩手県江刺市田原字宿75-12
(74) 代理人 弁理士 木村 満

(54) 【発明の名称】 記憶装置及びアクセス方法

(57) 【要約】

メモリアルレイ (1) をアクセスするための、論理アドレスと物理アドレスとの対応関係を記憶するアドレス変換テーブルと空きブロックの位置を示す空きブロックテーブルを、メモリアルレイ (1) 自身の任意のブロックに記憶させる。メモリアルレイ (1) からデータを読み出す際は、メモリアルレイ (1) に記憶されているアドレス変換テーブルを参照して、物理アドレスを求め、データを読み出す。また、データを書き込む際は、メモリアルレイ (1) に格納された空きブロックテーブルから、空きブロックを判別し、その空きブロックにデータを書き込む。さらに、更新されたアドレス変換テーブルと空きブロックテーブルを他の空きブロックに書き込む。

FIG. 1



【特許請求の範囲】

1. 物理アドレスが割り当てられた複数のメモリブロックを含む記憶手段（1）と、

前記記憶手段の記憶データをメモリブロック単位で一括して消去する消去手段（1e）と、

データと論理アドレスを入力し、該データの前記記憶手段内の記憶位置を定め、該データを該記憶位置に書き込む書込手段（4X, 4B, 5, 20）と、
から構成され、

前記記憶手段は、前記論理アドレスと前記記憶手段の物理アドレスとの対応関係を表す情報を格納するアドレス変換テーブルを記憶し、

前記書込手段は、前記データを書き込んだ位置の物理アドレスと入力した論理アドレスとの対応付けを表す情報を前記アドレス変換テーブルに追加し、又は前記アドレス変換テーブルを更新する手段（4X, 4B, 5, 20）を備える、

ことを特徴とする記憶装置。

2. 前記アドレス変換テーブルが書き込まれているブロックの物理アドレスを記憶する手段（20）と、

前記アドレス変換テーブルが格納されているブロックをアクセスし、読み出し対象のデータの論理アドレスに対応する物理アドレスを読み出す物理アドレス読出手段（4X, 4B, 5, 20）と、

前記物理アドレス読出手段により読み出された物理アドレスに格納されているデータを読み出して出力する手段（4X, 4B, 5, 20）と、

から構成される読出手段（4X, 4B, 5, 20）をさらに備える、

ことを特徴とする請求項1に記載の記憶装置。

3. 前記記憶手段は、データを記憶していない空きブロックを示す情報を格納する空きブロックテーブルを記憶しており、

前記書込手段は、前記空きブロックテーブルが記憶されているブロックをアクセスして、前記空きブロックテーブルに登録されている空きブロックの中から書き込み対象のブロックを選択する空きブロック選択手段（20）と、書き込み対

象のデータを前記空きブロック選択手段により選択された空きブロックに書き込む空きブロック書込手段（4 X, 4 B, 5, 20）とを備える、

ことを特徴とする請求項2に記載の記憶装置。

4. 前記記憶手段は、前記アドレス変換テーブルと前記空きブロックテーブルを1つのブロック内に記憶する、

ことを特徴とする請求項3に記載の記憶装置。

5. 前記空きブロック書込手段により前記空きブロックに前記情報が書き込まれる前に存在した前記空きブロックの情報を格納する前記空きブロックテーブルを除去する手段（1 e, 4 X, 4 B, 5, 20）と、

前記空きブロック書込手段により前記空きブロックに前記情報が書き込まれた後に残存する前記空きブロックの情報を格納する前記空きブロックテーブルを前記記憶手段に記憶させる手段（4 X, 4 B, 5, 20）とより構成される空きブロックテーブル更新手段（1 e, 4 X, 4 B, 5, 20）を更に備える、

ことを特徴とする請求項3に記載の記憶装置。

6. 前記記憶手段は、前記アドレス変換テーブルと前記空きブロックテーブ

ルを1つのブロック内に記憶する、

ことを特徴とする請求項5に記載の記憶装置。

7. 前記記憶手段は、データを記憶していない空きブロックを示す情報を格納する空きブロックテーブルを記憶しており、

前記書込手段は、前記空きブロックテーブルが記憶されているブロックをアクセスして、前記空きブロックテーブルに登録されている空きブロックの中から書き込み対象のブロックを選択する空きブロック選択手段（20）と、書き込み対象のデータを前記空きブロック選択手段により選択された空きブロックに書き込む空きブロック書込手段（4 X, 4 B, 5, 20）とを備える、

ことを特徴とする請求項1に記載の記憶装置。

8. 前記記憶手段は、前記アドレス変換テーブルと前記空きブロックテーブルを1つのブロック内に記憶する、

ことを特徴とする請求項7に記載の記憶装置。

9. 前記空きブロック書込手段により前記空きブロックに前記情報が書き込まれる前に存在した前記空きブロックの情報を格納する前記空きブロックテーブルを除去する手段(1e, 4X, 4B, 5, 20)と、

前記空きブロック書込手段により前記空きブロックに前記情報が書き込まれた後に残存する前記空きブロックの情報を格納する前記空きブロックテーブルを前記記憶手段に記憶させる手段(4X, 4B, 5, 20)とより構成される空きブロックテーブル更新手段(1e, 4X, 4B, 5, 20)を更に備える、

ことを特徴とする請求項7に記載の記憶装置。

10. 前記記憶手段は、前記アドレス変換テーブルと前記空きブロックテーブルを1つのブロック内に記憶する、

ことを特徴とする請求項9に記載の記憶装置。

11. 物理アドレスが割り当てられた複数のメモリブロックを含む記憶手段(1)と、

前記記憶手段の記憶データをメモリブロック単位で一括して消去する消去手段(1e)と、

書き込み対象のデータと論理アドレスを入力し、該データの前記記憶手段内の記憶位置を定め、該データを該記憶位置に書き込む書込手段(4X, 4B, 5, 20)と、

から構成され、

前記記憶手段は、前記データを記憶していない空きブロックを表す空きブロック情報を記憶しており、

前記書込手段は、前記空きブロック情報が示す空きブロックに前記データを書き込む、

ことを特徴とする記憶装置。

12. 前記書込手段は、前記記憶手段に記憶された前記空きブロック情報を、前記書込手段により前記空きブロックに前記データが書き込まれた後に残存する前記空きブロックの情報を表す前記空きブロック情報に更新する手段(1e, 4X, 4B, 5, 20)を更に備える、

ことを特徴とする請求項 1 1 に記載の記憶装置。

1 3. 前記空きブロック情報は、各空きブロックの一部に記憶され、他の 1

つの空きブロックを示すように連鎖的に登録された連鎖情報から構成され、

前記書込手段は、前記連鎖情報に従って、空きブロックを判別し、該空きブロックに前記データを書き込む手段（4 X, 4 B, 5, 2 0）を備える、

ことを特徴とする請求項 1 2 に記載の記憶装置。

1 4. 前記記憶手段は、データ領域と冗長領域から構成され、前記連鎖情報は、前記冗長領域に格納されている、

ことを特徴とする請求項 1 3 に記載の記憶装置。

1 5. 前記空きブロック情報は、各空きブロックの一部に記憶され、他の 1 つの空きブロックを示すように連鎖的に登録された連鎖情報から構成され、

前記書込手段は、前記連鎖情報が定義する連鎖の最初の空きブロックの物理アドレスを記憶する先頭空きブロック記憶手段（2 0）を備え、この物理アドレスが付された空きブロックに前記データを書き込むと共に、該ブロックに登録されている連鎖情報を前記先頭空きブロック記憶手段に記憶させる手段（4 X, 4 B, 5, 2 0）を備える、

ことを特徴とする請求項 1 2 に記載の記憶装置。

1 6. 前記記憶手段は、データ領域と冗長領域から構成され、前記連鎖情報は、前記冗長領域に格納されている、

ことを特徴とする請求項 1 5 に記載の記憶装置。

1 7. 前記空きブロック情報は、各空きブロックの一部に記憶され、他の 1 つの空きブロックを示すように連鎖的に登録された連鎖情報から構成され、

前記書込手段は、前記連鎖情報に従って、空きブロックを判別し、該空きブ

ロックに前記データを書き込む手段（4 X, 4 B, 5, 2 0）を備える、

ことを特徴とする請求項 1 1 に記載の記憶装置。

1 8. 前記記憶手段は、データ領域と冗長領域から構成され、前記連鎖情報は、前記冗長領域に格納されている、

ことを特徴とする請求項 17 に記載の記憶装置。

19. 前記空きブロック情報は、各空きブロックの一部に記憶され、他の 1 つの空きブロックを示すように連鎖的に登録された連鎖情報から構成され、

前記書込手段は、前記連鎖情報が定義する連鎖の最初の空きブロックの物理アドレスを記憶する先頭空きブロック記憶手段 (20) を備え、この物理アドレスが付された空きブロックに前記データを書き込むと共に、該ブロックに登録されている連鎖情報を前記先頭空きブロック記憶手段に記憶させる手段 (4X, 4B, 5, 20) を備える、

ことを特徴とする請求項 11 に記載の記憶装置。

20. 前記記憶手段は、データ領域と冗長領域から構成され、前記連鎖情報は、前記冗長領域に格納されている、

ことを特徴とする請求項 19 に記載の記憶装置。

21. ブロック単位でデータの消去が可能で、予めデータが消去された空きブロックにデータの書き込みが可能なブロック消去型のメモリへのアクセス方法であって、

前記メモリに付された物理アドレスとデータの論理アドレスとの対応関係を示すアドレス変換テーブルを前記メモリ自身に記憶させ、

書き込み対象データとその論理アドレスが供給された時は、該論理アドレスに既にデータが書き込まれているか否かを前記アドレス変換テーブルにより判別し、存在すると判別したときは、前記空きブロックを判別して前記データを該空きブロックに書き込むと共に旧データを持つブロックを消去し、存在しないと判別したときは、前記空きブロックを判別して前記データを該空きブロックに書き込み、次に、

前記データが書き込まれた前記ブロックの物理アドレスと前記論理アドレスとの対応を示す情報を前記メモリ内の前記アドレス変換テーブルに追加するか又はその情報を更新し、

読み出し対象データの論理アドレスが供給された時は、前記メモリ内の前記アドレス変換テーブルをアクセスして、該当データが格納された位置の物理アドレ

スを判別して、該物理アドレスからデータを読み出して出力する、

ことを特徴とするアクセス方法。

22. ブロック単位でデータの消去が可能で、予めデータが消去された空きブロックにデータの書き込みが可能なブロック消去型のメモリへのアクセス方法であって、

前記メモリに、該メモリの空きブロックを示す空きブロック情報を記憶させ、

書き込み対象データが供給された時に、前記空きブロック情報に基づいて空きブロックを判別し、判別した空きブロックに該データを書き込むと共に前記空きブロック情報に基づいて空きブロックを新たに判別し、新たに判別した前記空きブロックに更新された空きブロック情報を書き込む、

ことを特徴とするアクセス方法。

23. ブロック単位でデータの消去が可能で、予めデータが消去された空き

ブロックにデータの書き込みが可能なブロック消去型のメモリへのアクセス方法であって、

前記メモリが備えるブロックに、該メモリの空きブロックを示す空きブロック情報を記憶させ、

書き込み対象データが供給された時に、前記空きブロック情報に基づいて空きブロックを判別し、判別した空きブロックに該データを書き込むと共に、前記空きブロック情報に基づいて空きブロックを新たに判別し、前記空きブロック情報を記憶する前記ブロックの記憶内容を消去すると共に、新たに判別した前記空きブロックに更新された空きブロック情報を書き込む、

ことを特徴とするアクセス方法。

24. ブロック単位でデータの消去が可能で、予めデータが消去された空きブロックにデータの書き込みが可能なブロック消去型のメモリへのアクセス方法であって、

前記メモリの各空きブロックの一部に、他の空きブロックを順次示す情報からなる空きブロック連鎖情報を格納し、

書き込み対象データが供給された時に、空きブロック連鎖情報により定義され

る空きブロックの連鎖の先頭の空きブロックを判別し、判別した空きブロックに
該データを書き込む、
ことを特徴とするアクセス方法。

【発明の詳細な説明】**記憶装置及びアクセス方法****技術分野**

この発明は、記憶装置及びアクセス方法に関し、特にブロック消去型記憶装置とそのアクセス方法に関する。

背景技術

フラッシュメモリ等のブロック消去型記憶媒体を備え、中央処理装置（CPU）や専用コントローラの制御の下に情報を読み書きするブロック消去型記憶装置が知られている。

ブロック消去型記憶媒体とは、データを書き込むためには、書き込みの対象となる領域の記憶内容が予め消去されていなければならない、消去の処理が、書込処理により扱われる最小記憶容量の単位（一般に、ページ、セグメント等と呼ばれる）に等しい大きさであるか又はより大きな単位（一般に、ブロックと呼ばれる）でしか行えない記憶媒体を指す。

ブロック消去型記憶装置は、外部からのアクセスを管理するために、空きブロックの位置を表す情報を格納する空きブロックテーブルや論理アドレスと物理アドレスとの対応関係を表す情報を格納するアドレス変換テーブルを記憶するSRAM（スタティック型ランダムアクセスメモリ）等を備えている。

ブロック消去型記憶装置は、書き込み要求を受信すると、空きブロックテーブルに登録されている空ブロックを検索し、索出したブロックにデータを書き込み、そのブロックの物理アドレスと論理アドレスとの対応関係をアドレス変換テーブルに追加し、さらに、そのブロックを空きブロックテーブルから削除

する。

また、ブロック消去型記憶装置は、読み出し要求を受信すると、読み出し対象のデータの論理アドレスをキーとして、アドレス変換テーブルを検索して、読み出し対象のデータが記憶されている位置の物理アドレスを判別し、その位置からデータを読み出していた。

このような記憶装置では、SRAM等が占める容積の分だけ、記憶装置全体の

容積も増大する。このため、このような記憶装置は、JEIDA/PCMCIAカード等、低容積が要求される用途に用いる場合には、容積を抑えるための工夫が必要であった。

また、SRAMは消費電力が大きく、各種テーブルを格納するためにSRAMを使用すると、記憶装置全体としての消費電力も増加してしまい、JEIDA/PCMCIAカード等、低消費電力が要求される用途に適さなくなってしまうという問題があった。

発明の開示

この発明は上記実状に鑑みてなされたもので、小容積及び低消費電力のブロック消去型記憶装置とそのアクセス方法とを提供することを目的とする。

上記目的を達成するため、この発明の第1の観点にかかる記憶装置は、物理アドレスが割り当てられた複数のメモリブロックを含む記憶手段(1)と

前記記憶手段の記憶データをメモリブロック単位で一括して消去する消去手段(1e)と、

データと論理アドレスを入力し、該データの前記記憶手段内の記憶位置を定め、該データを該記憶位置に書き込む書込手段(4X, 4B, 5, 20)と、から構成され、

前記記憶手段は、前記論理アドレスと前記記憶手段の物理アドレスとの対応関係を表す情報を格納するアドレス変換テーブルを記憶し、

前記書込手段は、前記データを書き込んだ位置の物理アドレスと入力した論理アドレスとの対応付けを表す情報を前記アドレス変換テーブルに追加し、又は前記アドレス変換テーブルを更新する手段(4X, 4B, 5, 20)を備える、ことを特徴とする。

この構成の記憶装置では、アドレス変換テーブルは、ブロック消去型記憶媒体である記憶手段に記憶されている。このため、前記記憶手段の他にアドレス変換テーブル記憶用のSRAM等の記憶媒体を配置する必要がない。従って、比較的小容積で低消費電力のブロック消去型の記憶装置を提供することができる。

前記記憶装置は、

前記アドレス変換テーブルが書き込まれているブロックの物理アドレスを記憶する手段（20）と、

前記アドレス変換テーブルが格納されているブロックをアクセスし、読み出し対象のデータの論理アドレスに対応する物理アドレスを読み出す物理アドレス読出手段（4X, 4B, 5, 20）と、

前記物理アドレス読出手段により読み出された物理アドレスに格納されているデータを読み出して出力する手段（4X, 4B, 5, 20）と、

から構成される読出手段（4X, 4B, 5, 20）をさらに配置してもよい。

この読出手段により、読み出し対象データの物理アドレスを、記憶手段に格納されたアドレス変換テーブルから判別して、読み出すことができる。

前記記憶手段は、データを記憶していない空きブロックを示す情報を格納する空きブロックテーブルを記憶してもよい。

このような構成とすれば、記憶手段の他に使用するSRAMなどのメモリの使用量をさらに低減し、小容積化、低消費電力化を進めることができる。

そして、前記空きブロックに前記情報が書き込まれる前に存在した前記空きブロックの情報を格納する前記空きブロックテーブルは除去され、そして、前記空きブロック書込手段により前記空きブロックに前記情報が書き込まれた後に残存する前記空きブロックの情報を格納する前記空きブロックテーブルを前記記憶手段に記憶させるようにすれば、空きブロックテーブルに含まれる空きブロックの情報は更新され、随時最新の空きブロックの情報を得ることができる。

また、前記記憶手段は、例えば、複数チップのフラッシュメモリによって構成されたものとしてすることができる。この場合、前記アドレス変換テーブル（及び前記空きブロックテーブル）は、いずれかのチップのフラッシュメモリの任意の1つのブロックに記憶すればよい。そして、アドレス変換テーブル及び空きブロックテーブルがどのチップのどのブロックに記憶されているかを示す情報を記憶する手段を設ければよい。

前記記憶手段は、例えば、前記アドレス変換テーブルと前記空きブロックテー

ブルを1つのブロック内に記憶する。

このような構成とすれば、アドレス変換テーブルと空きブロックテーブルの格納のために使用するブロックを1つに抑え、記憶手段の記憶容量を有効に使用することができる。また、これらのテーブルの記憶位置の管理などが容易になる。

また、この発明の第2の観点にかかる記憶装置は、

物理アドレスが割り当てられた複数のメモリブロックを含む記憶手段(1)と

、
前記記憶手段の記憶データをメモリブロック単位で一括して消去する消去手

段(1e)と、

書き込み対象のデータと論理アドレスを入力し、該データの前記記憶手段内の記憶位置を定め、該データを該記憶位置に書き込む書込手段(4X, 4B, 5, 20)と、

から構成され、

前記記憶手段は、前記データを記憶していない空きブロックを表す空きブロック情報を記憶しており、

前記書込手段は、前記空きブロック情報が示す空きブロックに前記データを書き込む、

ことを特徴とする。

この構成によれば、空きブロック情報は、ブロック消去型記憶媒体である記憶手段に記憶されている。このため、前記記憶手段の他に空きブロック情報記憶用のSRAM等の他の記憶媒体を配置する必要がない。従って、比較的小容積で低消費電力のブロック消去型の記憶装置を提供することができる。

また、前記書込手段は、前記記憶手段に記憶された前記空きブロック情報を、前記書込手段により前記空きブロックに前記データが書き込まれた後に残存する前記空きブロックの情報を表す前記空きブロック情報に更新する手段(1e, 4X, 4B, 5, 20)を更に備えるようにすれば、前記空きブロック情報は更新され、随時最新の空きブロックの情報を得ることができる。

前記空きブロック情報は、各空きブロックの一部に記憶され、他の1つの空き

ブロックを示すように連鎖的に登録された連鎖情報から構成されるものとして
ことができる。この場合、前記書込手段は、前記連鎖情報に従って、空きブロッ
クを判別し、該空きブロックに前記データを書き込む手段（4 X, 4 B, 5, 2 0
）を備えるものとしてすることができる。

この構成によれば、空きブロックテーブルを格納するために1つのブロック

を使用する必要がなく、記憶媒体の使用効率が高い。また、空きブロックの連鎖
情報に基づいて、書き込み対象のブロックを特定するので、各ブロックの使用頻
度を均一化することができる。

前記空きブロック情報を連鎖情報から構成する場合、最初の空きブロックのア
ドレスを記憶する先頭空きブロック記憶手段（2 0）等を配置し、ここに記憶さ
れた物理アドレスが付された空きブロックにデータを書き込み、先頭空きブロッ
ク記憶手段の内容をデータを書き込んだブロックに登録されている連鎖情報で更
新してもよい。

記憶手段をフラッシュメモリ等から構成する場合、記憶領域はデータ領域と冗
長領域から構成される。この場合、連鎖情報を前記冗長領域に格納しておくこ
とができる。

このような記憶装置においては、連鎖情報は、空きブロックの前記冗長領域に
書き込まれ、前記データは、既に連鎖情報が書き込まれている空きブロックに上
書きされる。

このとき、前記データ領域と前記冗長領域は前記記憶領域の中で互いに重複し
ないように配置されることにより、前記データの上書きによっても前記連鎖情報
は破壊されない。

なお、この第2の観点にかかる記憶装置においても、前記記憶手段は、例えば
、複数チップのフラッシュメモリによって構成されたものとしてすることができる。
この場合、前記連鎖情報は、次の空きブロックがどのチップのどのブロックに記
憶されているかを示す情報によって構成すればよい。

また、この発明の第3の観点に係るアクセス方法は、

ブロック単位でデータの消去が可能で、予めデータが消去された空きブロック

にデータの書き込みが可能なブロック消去型のメモリへのアクセス方法であって、

前記メモリに付された物理アドレスとデータの論理アドレスとの対応関係を示すアドレス変換テーブルを前記メモリ自身に記憶させ、

書き込み対象データとその論理アドレスが供給された時は、該論理アドレスに既にデータが書き込まれているか否かを前記アドレス変換テーブルにより判別し、存在すると判別したときは、前記空きブロックを判別して前記データを該空きブロックに書き込むと共に旧データを持つブロックを消去し、存在しないと判別したときは、前記空きブロックを判別して前記データを該空きブロックに書き込み、次に、

前記データが書き込まれた前記ブロックの物理アドレスと前記論理アドレスとの対応を示す情報を前記メモリ内の前記アドレス変換テーブルに追加するか又はその情報を更新し、

読み出し対象データの論理アドレスが供給された時は、前記メモリ内の前記アドレス変換テーブルをアクセスして、該当データが格納された位置の物理アドレスを判別して、該物理アドレスからデータを読み出して出力する、

ことを特徴とする。

また、この発明の第4の観点に係るアクセス方法は、

ブロック単位でデータの消去が可能で、予めデータが消去された空きブロックにデータの書き込みが可能なブロック消去型のメモリへのアクセス方法であって、

前記メモリに、空きブロックを示す空きブロックテーブルを記憶させておき、

書き込み対象データが供給された時に、前記メモリ内の空きブロックテーブルに基づいて空きブロックを判別して、判別した空きブロックに該データを書き込む、

ことを特徴とする。

第3及び第4の観点に係るアクセス方法によれば、メモリの一部をアドレス

変換テーブルや空きブロックテーブルとして使用でき、これらのテーブルを格納するためのS R A M等の他のメモリを配置する必要がなく、小容量化、低消費電力化に寄与する。

また、この発明の第5の観点に係るアクセス方法は、

ブロック単位でデータの消去が可能で、予めデータが消去された空きブロックにデータの書き込みが可能なブロック消去型のメモリへのアクセス方法であって

、
前記メモリが備えるブロックに、該メモリの空きブロックを示す空きブロック情報を記憶させ、

書き込み対象データが供給された時に、前記空きブロック情報に基づいて空きブロックを判別し、判別した空きブロックに該データを書き込むと共に、前記空きブロック情報に基づいて空きブロックを新たに判別し、前記空きブロック情報を記憶する前記ブロックの記憶内容を消去すると共に、新たに判別した前記空きブロックに更新された空きブロック情報を書き込む、

ことを特徴とする。

第5の観点に係るアクセス方法によれば、メモリの一部をアドレス変換テーブルや空きブロックテーブルとして使用でき、小容量化、低消費電力化を図り得る上、前記空きブロックの情報が更新されることにより、随時最新の空きブロックの情報を得ることができる。

また、この発明の第6の観点に係るアクセス方法は、

ブロック単位でデータの消去が可能で、予めデータが消去された空きブロックにデータの書き込みが可能なブロック消去型のメモリへのアクセス方法であって

、
前記メモリの各空きブロックの一部に、順次他の空きブロックを示す情報からなる空きブロック連鎖情報を格納し、

書き込み対象データが供給された時に、空きブロック連鎖情報により定義される空きブロックの連鎖の先頭の空きブロックを判別し、判別した空きブロックに該データを書き込む、

ことを特徴とする。

第6の観点に係るアクセス方法によれば、メモリの一部を空きブロックテーブルとして使用できる。

また、データが書き込まれるブロックが連鎖情報より定義される連鎖の順となるので、書き込み頻度をメモリ全体で均一化することができる。

図面の簡単な説明

図1は、この発明の実施の形態にかかる記憶装置の基本構成を示すブロック図である。

図2は、メモリセルアレイの構成を示す図である。

図3は、記憶領域の論理的構造を示す図である。

図4は、空きブロックテーブルの構成の一例を示す図である。

図5は、アドレス変換テーブルの構成の一例を示す図である。

図6は、データを読み出す処理を示すフローチャートである。

図7は、物理アドレス決定の処理を示すフローチャートである。

図8は、書き込み処理を示すフローチャートである。

図9は、旧データ消去の処理を示すフローチャートである。

図10は、空きブロックテーブル及びアドレス変換テーブルを更新する処理を示すフローチャートである。

図11は、第2の実施の形態の記憶装置における空きブロックの連鎖を示す概念図である。

図12は、第2の実施の形態の記憶装置における、データ書き込み処理のフ

ローチャートである。

図13は、第2の実施の形態の記憶装置における、空きブロック情報及びアドレス変換テーブルを更新する処理を示すフローチャートである。

発明を実施するための最良の形態

以下、この発明を実施するための最良の形態にかかる記憶装置を説明する。

(第1の実施の形態)

この実施の形態にかかる記憶装置は、アドレス変換テーブル等をフラッシュメ

モリユニット自身に記憶するものであり、図1に示すように、フラッシュメモリユニット10と、コントローラ20とより構成される。

フラッシュメモリユニット10は、メモリセルアレイ1と、I/Oバッファ2と、Xアドレスバッファ3Xと、ブロックアドレスバッファ3Bと、Xアドレスデコーダ4Xと、ブロックアドレスデコーダ4Bと、制御回路5と、グローバルバッファ6とより構成される。

メモリセルアレイ1は、複数のメモリセルから構成されている。各メモリセルは、例えばNAND型のものであって、1バイトの記憶容量を有する。これらのメモリセルは、論理的には、図2に示すように、縦16384行、横528列のマトリクス状に配置されている。従って、メモリセルアレイ1は全体としては8.65メガバイトの記憶容量を有する。

メモリセルアレイ1は、8個のデータ入出力端Tdataと、対応する行のメモリセルに共通に接続された16384個の行制御入力端Trowcontと、すべてのメモリセルに共通の読出制御端Treadcont及び書込制御端Twritecontと、データ消去用の消去制御回路1eとを備える。

メモリセルアレイ1の読出制御端Treadcontに制御信号が入力されているとき、行制御入力端Trowcontに制御信号が供給されると、制御信号を供給され

た行のメモリセルは、その記憶内容を、先頭からメモリセル1個分（すなわち、1バイト）ずつ、528回に分けて、データ入出力端Tdataに出力する。

一方、書込制御端Twritecontに制御信号が入力されているときは、データ入出力端Tdataから入力されるデータを、1バイトずつ528回に分けて、先頭のメモリセルから記憶する。

ただし、各メモリセルはNAND型であるため、データの記録は、記憶値を「1」から「0」にする方向にしか行うことができず、いったん記憶値が「0」となったメモリセルは、記憶内容がリセットされるまで、記憶値が「0」の状態を維持する。

図2に示すように、メモリセルのマトリクスの各行は528バイトの記憶容量を有するページを構成する。ページには連続的に1から16384までのページ

アドレスが付与され、各ページに含まれるメモリセルには、連続的に1から528までの番地が与えられている。

図2及び図3に示すように、各ページは、先頭から16ページ単位で1つのブロックを構成する。各ブロックは8キロバイトの記憶容量を有し、記憶領域全体は、1024個のブロックから構成されている。

また、各ページは、図3に示すように、先頭から512バイトの領域を占めるデータ領域と、末尾16バイトを占める冗長部とから構成される。データ領域には、本来のデータが格納され、冗長部にはエラーチェックコード等が格納される。

そして、データ消去用の消去制御回路1eに、特定のブロックのデータを消去するよう指示する制御信号が入力されると、当該ブロックに含まれるすべてのメモリセルの記憶内容がリセットされる（すなわち、各メモリセルの記憶値が「1」になる）。

メモリセルアレイ1には、このメモリセルアレイ1にアクセスするための空

きブロックテーブル及びアドレス変換テーブルが格納されている。

空きブロックテーブルは、メモリセルアレイ1の任意のブロックの先頭ページに記憶されており、メモリセルアレイ1の各ブロックのいずれが空きブロック（すなわち、リセットされた状態にあり、データ「0」を記憶したメモリセルを含んでいないブロック）であるかを表す情報を格納する。空きブロックテーブルが格納されているブロックの情報は、後述するように、制御回路5に記憶される。

メモリセルアレイ1のブロックの総数が1024個であるときの、空きブロックテーブルの構造の一例を図4に示す。この空きブロックテーブルは、特定のブロックの先頭の128バイトのメモリセル（すなわち、先頭から1024ビット）から構成され、先頭のビットから順に、ブロック1からブロック1024に1対1に対応し、対応するブロックが空きブロックであるとき「1」、空きブロックでないとき「0」を格納する。

アドレス変換テーブルは、空きブロックテーブルが格納されているブロックの第2ページ以降に記憶され、メモリセルアレイ1の各ブロックに割り当てられて

いる論理アドレスを表す情報を格納する。

論理アドレスは、この記憶装置が後述する動作により読み書きされるときに、後述する外部のコンピュータ 11 が備える CPU（中央処理ユニット） 12 や、コントローラ 20 等により、データ読み書きの単位として認識される単位である。

論理アドレスが割り当てられている領域の総量は、メモリセルアレイ 1 の記憶容量より小さい所定の値、例えば 16000 ページ分であり、各論理アドレスの占める記憶領域は、例えば、1 ページの占める記憶領域に一致する。

論理アドレスは、具体的には、例えば、メモリセルアレイ 1 の記憶容量より小さい所定の値に相当する大きさ（例えば 16000 ページ分）の仮想の記憶

領域を 512 バイト毎の区画に分け、各区画に 0 から始まる連番を付した場合の当該連番、すなわち LBA（Logic Block Address）から構成されている。

アドレス変換テーブルの構造の一例を図 5 に示す。アドレス変換テーブルは複数のレコードからなり、各レコードの先頭には論理アドレスが格納され、続いて、該論理アドレスに対応付けられている領域の先頭のページが位置するブロックの番号（ブロックアドレス）と、その先頭のページの番号とが格納されている。

I/O バッファ 2 は、図 1 に示すように、グローバルバッファ 6 と、メモリセルアレイ 1 のデータ入出力端 Tdata と、制御回路 5 とに接続されている。

I/O バッファ 2 は、制御回路 5 の指示に従い、グローバルバッファ 6 が記憶するデータをメモリセルアレイ 1 のデータ入出力端 Tdata に 1 バイトずつ出力する動作と、データ入出力端 Tdata から出力されるデータをグローバルバッファ 6 に 1 バイトずつ出力する動作とを行う。

X アドレスバッファ 3 X は、グローバルバッファ 6 より、メモリセルアレイ 1 の行アドレス（すなわち、ページアドレス）を示す行アドレス信号を入力して、X アドレスデコーダ 4 X に出力する。

X アドレスデコーダ 4 X は、行アドレス信号が示す行、又は、制御回路 5 が指示する行の行制御入力端 Trowcont に、アクティブレベルの制御信号を供給する。

ブロックアドレスバッファ 3 Bは、グローバルバッファ 6より、メモリセルアレイ 1の各ブロックのアドレスを示すブロックアドレス信号を入力して、ブロックアドレスデコーダ 4 Bに出力する。

ブロックアドレスデコーダ 4 Bは、ブロックアドレス信号が示すブロック、又は、制御回路 5が指示するブロックのデータを消去するよう指示する信号を、消去制御回路 1 eに供給する。

制御回路 5は、グローバルバッファ 6よりコマンドを入力して解析し、解析結果に従って、Xアドレスバッファ 3 X、Xアドレスデコーダ 4 X、ブロックアドレスデコーダ 4 B及びI/Oバッファ 2を制御する。

また、制御回路 5は、コントローラ 20より、書込信号 Swrite及びラッチ信号 S latchの供給を受ける。そして、これらの信号に従って、メモリセルアレイ 1及びグローバルバッファ 6を後述のように制御する。また、制御回路 5は、コントローラ 20に、後述するタイミングでビジー信号 S busy及びレディ信号 S readyを供給する。

また、制御回路 5は、グローバルバッファ 6に格納されたデータが後述するセットアップコマンドや消去コマンド等の所定のコマンドを表すとき、そのコマンドが指示する処理を、後述するように実行する。

なお、ビジー信号 S busy及びレディ信号 S readyとは同一の信号線を介して伝送されるようにしてよい。従って、例えば、制御回路 5が所定の信号線に2値論理値”1”を表す電圧を印加しているときは、制御回路 5がビジー信号 S busyを供給しているものとし、2値論理値”0”を表す電圧を印加しているときは、レディ信号 S readyを供給しているものとしてもよい。

グローバルバッファ 6は、I/Oバッファ 2と、制御回路 5と、コントローラ 20とに接続されている。そして、制御回路 5から出力される制御信号に従い、バスライン 13上の信号及びI/Oバッファ 2の記憶内容のうち、当該制御信号が供給された時点で自己に供給されているものを記憶し、記憶した内容を、Xアドレスバッファ 3 X又は制御回路 5に出力する。

コントローラ 20は、CPU等からなり、フラッシュメモリユニット 10の制

御回路 5 に接続されており、また、バスライン 13 を介して、フラッシュメモリユニット 10 のグローバルバッファ 6 及びコンピュータ 11 の CPU 12 に接続されている。ただし、コントローラ 20 を構成する CPU は、コンピュ

ータ 11 の CPU 12 と同一のものであってもよい。

コントローラ 20 は、外部のコンピュータ 11 が備える CPU 12 等より供給されるコマンドに従い、後述するように、制御回路 5 に書込信号 Swrite やラッチ信号 Slatch を供給し、グローバルバッファ 6 には、物理アドレス、書き込み対象のデータ、コマンド等を供給して、フラッシュメモリユニット 10 を制御する。

また、コントローラ 20 は、アドレス変換テーブル及び空きブロックテーブルの位置と、最後に書き込みがなされたブロックの位置とを表すデータを記憶し、CPU 12 から供給されたコマンドに従った後述の処理を実行する際に、自己が記憶しているデータを参照する。また、コントローラ 20 は、CPU 12 から、読み出す対象のデータをバイト単位で表した量（すなわち、バイト数）を供給されると、これを記憶し、後述する処理において参照する。

（第 1 の実施の形態の動作）

次に、この記憶装置にデータを書き込む処理を、図 6 ～図 10 を参照して説明する。

図 6 は、データを読み出す処理を示すフローチャートである。

図 7 は、物理アドレス決定の処理を示すフローチャートである。

図 8 は、書き込み処理を示すフローチャートである。

図 9 は、旧データ消去の処理を示すフローチャートである。

図 10 は、空きブロックテーブル及びアドレス変換テーブルを更新する処理を示すフローチャートである。

（データ読み出し）

コンピュータ 11 内の CPU 12 は、この記憶装置からデータを読み出す場合、図 6 に示す、データ読み出しの処理を実行する。

処理が開始されると、CPU 12 は、読み出す対象のデータが格納されてい

る論理アドレスをバスライン13上に出し、コントローラ20に、データの読み出しを指示するコマンドと、読み出すデータが格納されている記憶領域のページ数とを供給する(図6、ステップS101)。

コントローラ20は、CPU12からのコマンドに応答し、バスライン13を介して供給された論理アドレス及びページ数を取得し、両者を記憶する(ステップS102)。

そして、コントローラ20は、アドレス変換テーブルの先頭ページの物理アドレスをグローバルバッファ6に供給し、制御回路5にラッチ信号Slatchを送出して、制御回路5からレディ信号Sreadyが供給されるのを待機する(ステップS103)。

制御回路5は、コントローラ20からのラッチ信号Slatchに応答し、コントローラ20へのビジー信号Sbusyの供給を開始し、コントローラ20が供給している物理アドレスをラッチする指示を、グローバルバッファ6に送る。この指示に応答し、グローバルバッファ6はコントローラ20が供給している物理アドレスをラッチする(ステップS104)。グローバルバッファ6にラッチされた物理アドレスのうち、ブロックアドレスに当たる部分はブロックアドレスバッファ3Bを介してブロックアドレスデコーダ4Bに供給され、ページアドレスに当たる部分はXアドレスバッファ3Xを介してXアドレスデコーダ4Xに供給される。

制御回路5は、アドレス変換テーブルの読み出しを行うため、グローバルバッファ6よりページアドレスを供給されたXアドレスデコーダ4Xに、当該ページアドレスが示すページを選択するよう指示する。

Xアドレスデコーダ4Xは、制御回路5からの指示に応答して、アドレス変換テーブルが格納されているページの行制御入力端Trowcontにアクティブレベルの制御信号を出力する。これにより、アドレス変換テーブルのうち、コン

トローラ20が指示するページが選択される。

次に、制御回路5は、メモリセルアレイ1の読出制御端Treadcontにデータ読み出しの指示を送り、ビジー信号Sbusyの供給を停止して、コントローラ20に

レディ信号Sreadyを供給する。一方、メモリセルアレイ1は、制御回路5より送られた指示に応答し、アドレス変換テーブルのある当該ページの記憶内容を、I/Oバッファ2及びグローバルバッファ6を介してコントローラ20に1バイトずつ順次出力する。

一方、コントローラ20は、グローバルバッファ6から供給される情報を順次読み取ることにより、当該ページに記憶されている各論理アドレスと、各論理アドレスに対応付けられた物理アドレスとを読み取る（ステップS105）。

そして、コントローラ20は、アドレス変換テーブルから読み出した論理アドレスの中に、ステップS102でCPU12から取得した論理アドレスと一致するものがあるか否かを判別する（ステップS106）。

ステップS106において、一致する論理アドレスがないと判別したとき、コントローラ20は、グローバルバッファ6に、アドレス変換テーブルの次のページの物理アドレスを供給し、制御回路5にラッチ信号Slatchを送出し（ステップS107）、この記憶装置は、処理をステップS104に戻す。

一方、ステップS106において、一致する論理アドレスがあると判別したときは、処理をS108へ移す。

ステップS108において、コントローラ20は、ステップS106で一致すると判別した論理アドレスが示す物理アドレス（すなわち、読み出す対象のデータのあるページのうち先頭のページの物理アドレス）の値をグローバルバッファ6に供給し、制御回路5にラッチ信号Slatchを送出する。

すると、フラッシュメモリユニット10は、コントローラ20がステップS103で供給したラッチ信号Slatchに応答した場合の処理と実質的に同一の

処理を行い、コントローラ20がグローバルバッファ6に供給した物理アドレスの記憶内容（すなわち、読み出す対象のデータのうち未だ読み出されていない部分の先頭のページの内容）を、グローバルバッファ6を介してコントローラ20に1バイトずつ順次供給する（ステップS109）。

一方、コントローラ20は、ステップS109でグローバルバッファ6が供給する情報を順次読み取ることにより、読み出す対象のデータを読み取り、読み取

ったデータを、バスライン13を介してCPU12に供給する（ステップS110）。

そして、コントローラ20は、ステップS108の処理を開始して以降に読み出したページ数が、CPU12から供給されてステップS102で自己が記憶したページ数に達しているか否かを判別する（ステップS111）。

そして、達していないと判別したとき、コントローラ20は、制御回路5がビジー信号Sbusyの供給を停止したタイミングで、読み出す対象のデータのある次の物理アドレスをグローバルバッファ6に供給し、制御回路5にラッチ信号Slatchを送出する（ステップS112）。そしてこの記憶装置は、処理をステップS109に戻す。

一方、達していると判別すると、コントローラ20は、例えば、バスライン13を介してCPU12に終了コードを送出したり、図示しない制御信号をCPU12に出力することにより、CPU12に読み出しの終了を通知する（ステップS113）。

CPU12は、読み出しの終了を検知すると（ステップS114）、データ読み出しの処理を終了する。

ステップS101～S114の処理により、メモリセルアレイ1自体に格納されたアドレス変換テーブルを用いて、論理アドレスに対応する物理アドレスの位置が検索され、その位置にあるデータが順次読み出される。

読み出し対象の論理アドレスが複数あるときは、ステップS101～S114の処理を、読み出し対象の論理アドレスの数だけ繰り返して行う。

（データ書き込み：新たな物理アドレスの決定）

メモリセルアレイ1にデータを書き込む場合、この記憶装置はまず、図7に示す物理アドレス決定の処理を行い、データ書き込み対象の物理アドレスを決定する処理を実行する。

CPU12は、例えばまず、書き込み対象のデータの大きさから、1ページの記憶容量を512バイトとして、書き込みに要するページ数を算出し、書き込みの対象とする論理アドレスを決定する。

そして、CPU12は、書き込み対象の論理アドレスのうち最も番号が若いものをバスライン13上に出力し、コントローラ20に、データの書き込みを指示するコマンドを送る（ステップS201）。

コントローラ20は、ステップS201でCPU12から送られたコマンドに応答して、図6の処理におけるステップS103～S107の処理と実質的に同一の処理を行う（ステップS202）。

すなわち、フラッシュメモリユニット10から、アドレス変換テーブルの内容を読み出し、読み出した内容のうち、ステップS201でCPU12から取得した論理アドレスと一致するものがあるか否かを順次判別することにより、CPU12から取得した当該論理アドレスに対応付けられている物理アドレスを特定する。

ステップS202で、物理アドレスが特定されると、コントローラ20は、特定された物理アドレスを記憶する（ステップS203）。そして、空きブロックテーブルを読み出すため、グローバルバッファ6に空きブロックテーブルの物理アドレスを供給し、制御回路5にラッチ信号Slatchを送る（ステップS204）。

制御回路5は、ステップS103でラッチ信号Slatchを供給された場合と同様にして、Xアドレスデコーダ4Xに、空きブロックテーブルのあるページを選択させる。

そして、制御回路5は、ページが選択されると、メモリセルアレイ1の読出制御端Treadcontにデータ読み出しの指示を送る。メモリセルアレイ1は、指示を受けると、空きブロックテーブルのある当該ページの記憶内容を、I/Oバッファ2及びグローバルバッファ6を介して、コントローラ20に1バイトずつ順次出力する。

そして、コントローラ20は、グローバルバッファ6から供給される情報を順次読み取ることにより、空きブロックテーブルを取得する（ステップS205）。

次に、コントローラ20は、取得した空きブロックテーブルの内容に基づき、

任意の空きブロックに属する物理アドレスを特定し（ステップS 2 0 6）、以後、ステップS 2 0 6で特定した物理アドレスを、書き込み対象の論理アドレスが示す物理アドレスであるものとして扱うことと決定する。

ただし、ステップS 2 0 6においては、図7の処理を開始して以降、既にステップS 2 0 6で特定された物理アドレスを再度特定しないようにするものとする。

また、ステップS 2 0 6においては、図7の処理を開始して以降にステップS 2 0 6で特定された物理アドレスが属するブロックは、当該物理アドレスにデータが書き込まれた後でも、空きブロックであるものとして扱う。

また、データの書き込み対象の物理アドレスとして、論理アドレスが割り当てられていない物理アドレスが選択されてもよい。

（データ書き込み：フラッシュメモリへの書き込み）

ステップS 2 0 6の処理を終えると、コントローラ20は、図8に示す書き

込み処理を実行する。

すなわち、コントローラ20は、ステップS 2 0 6の処理により物理アドレスを特定すると、グローバルバッファ6に特定した物理アドレスを供給し、制御回路5にラッチ信号Slatchを送る（ステップS 2 1 1）。

制御回路5は、ラッチ信号Slatchに応答して、ビジー信号Sbusyの供給を停止し、コントローラ20へのレディ信号Sreadyの供給を開始する。そして、Xアドレスデコード4Xに、ステップS 2 0 6で特定された物理アドレスを選択させる。

一方、コントローラ20は、レディ信号Sreadyに응答して、CPU12に書き込み対象のデータの供給を要求し（ステップS 2 1 2）、CPU12は、この要求に응答して、書き込み対象のデータのうち先頭の1バイト分を、バスライン13を介してコントローラ20に供給する。

そして、コントローラ20は、バスライン13を介してCPU12から供給された書き込み対象のデータを記憶してグローバルバッファ6に供給し、制御回路5に書込信号Swriteを送る（ステップS 2 1 3）。

制御回路5は、書込信号Swriteに应答して、グローバルバッファ6に供給された書き込み対象のデータをラッチするようグローバルバッファ6に指示し、レディ信号Sreadyの供給を停止して、コントローラ20へのビジー信号Sbusyの供給を再開する。グローバルバッファ6は、バスライン13上のデータをラッチして、I/Oバッファ2に格納する。

次に、制御回路5は、I/Oバッファ2に、I/Oバッファ2が格納しているデータをデータ入出力端Tdataに出力するよう指示する。指示に应答し、I/Oバッファ2は、グローバルバッファ6により自己に格納されたデータを、データ入出力端Tdataに出力する。

次に、制御回路5は、メモリセルアレイ1に、データ入出力端Tdataに現在

入力されているデータを記憶させるために、書込制御端Twritecontにアクティブレベルの書込制御信号を出力する。書込制御信号に应答して、メモリセルアレイ1は、データ入出力端Tdataに入力されているデータを、現在選択されているページの先頭のメモリセルに記録する。

メモリセルアレイ1の書込制御端Twritecontにアクティブレベルの書込制御信号を出力した後、制御回路5は、ビジー信号Sbusyの供給を停止し、コントローラ20へのレディ信号Sreadyの供給を再開する。コントローラ20は、レディ信号Sreadyの供給の再開を検知すると、ステップS214に処理を移す。

ステップS214において、コントローラ20は、後続データを要求する信号を送った後、バイトカウンタの値を参照して、現在選択中のページに512バイトのデータが書き込まれたか否かを判別する。

そして、512バイト書き込まれたと判別すると、コントローラ20は、CPU12に、次の論理アドレスを送ることを要求する（ステップS215）。

そして、CPU12が、次の論理アドレスをバスライン13上に送出し、コントローラ20がその論理アドレスを取得すると、コントローラ20は、その論理アドレスをステップS201で取得したものとして扱うこととし、処理を図7の処理におけるステップS202に戻す。

一方、512バイト書き込まれていないと判別すると、コントローラ20は、

CPU12に、書き込み対象の後続データを要求する信号を送る（ステップS216）。

CPU12は、この信号に応答して、書き込み対象の後続のデータがあるか否かを判別し、後続のデータがないと判別すると、バスライン13に書込終了を表す制御コードを供給する。一方、後続のデータがあると判別すると、CPU12は、バスライン13に後続の1バイトのデータを供給する。

コントローラ20は、ステップS216で後続データを要求する信号を送った後、CPU12から、後続のデータ又は書き込み終了を表す制御コードを供給されると、供給されたものが、書き込み終了を表す制御コードであるか否かを判別する（ステップS217）。

そして、当該制御コードではないと判別すると、コントローラ20は処理をステップS213に戻し、当該制御コードであると判別すると、図9に示す旧データ消去の処理に移る。

なお、CPU12が、書き込み対象のデータがないことをコントローラ20に通知する手法は任意であり、制御コードをバスライン13を介して供給する手法に限らず、例えば他の任意の制御線を介して、書き込み対象のデータがないことを表す制御信号をコントローラに送出するようにしてもよい。

（データ書き込み：旧データの消去）

書込終了の制御コードを取得したコントローラ20は、図9に示す旧データ消去の処理を実行する。

図9の処理を開始すると、コントローラ20は、まず、既に読み出したアドレス変換テーブルの内容に基づき、ステップS203で自己が記憶した物理アドレス（すなわち、ステップS206で新たに物理アドレスが対応付けられるまで書き込み対象の論理アドレスに対応付けられていた古い物理アドレス）と同一のブロックに属する物理アドレスを特定する（ステップS221）。

そして、この記憶装置は、ステップS221で特定した物理アドレスの各々を、読み出す対象のデータの先頭ページを表すものとし、これらの物理アドレスの各々につき、図6のステップS108～S114の処理に従ってデータ読み出し

を行う（ステップS 2 2 2）。そして、コントローラ20は更に、ステップS 2 0 4～S 2 0 6の処理と実質的に同一の処理を行い、ステップS 2 2 2で読み出したデータを格納する物理アドレスを特定する（ステップS 2 2

3）。

ただし、ステップS 2 2 3においては、データを格納する物理アドレスとして、読み出したデータが格納されていたブロックと同一のブロックに属する物理アドレスを特定しないようにする。

次に、この記憶装置は、ステップS 2 2 2で読み出したデータを、ステップS 2 2 3で特定した物理アドレスに、図8の処理に従って書き込む（ステップS 2 2 4）。

次に、コントローラ20は、グローバルバッファ6に、記憶内容を消去する対象のブロックの指定を行うための所定のセットアップコマンドを供給して、制御回路5にラッチ信号Slatchを送る（ステップS 2 2 5）。

制御回路5は、ステップS 2 2 5でラッチ信号Slatchが供給されたとき、グローバルバッファ6に供給されたデータがセットアップコマンドであることを検知して、次にグローバルバッファ6に供給されるデータを、消去する対象のブロックのブロックアドレスとして扱うことを決定する。

次に、コントローラ20は、グローバルバッファ6に、記憶内容を消去する対象のブロック（すなわち、ステップS 2 0 3で自己が記憶した物理アドレスが属するブロック）のブロックアドレスを供給して、制御回路5にラッチ信号Slatchを送る（ステップS 2 2 6）。

制御回路5は、ステップS 2 2 6で供給されたラッチ信号Slatchに応答して、グローバルバッファ6に指示を送り、コントローラ20が供給しているブロックアドレスを、グローバルバッファ6にラッチさせる。グローバルバッファ6にラッチされたブロックアドレスはブロックアドレスバッファ3Bを介してブロックアドレスデコーダ4Bに供給され、これにより、記憶内容を消去する対象のブロックが選択される。

次に、コントローラ20は、グローバルバッファ6に、記憶内容を消去する

ための所定の消去コマンドを供給して、制御回路 5 にラッチ信号 S latch を送る (ステップ S 2 2 7)。

制御回路 5 は、ステップ S 2 2 7 でラッチ信号 S latch が供給されたとき、グローバルバッファ 6 に供給されたデータが消去コマンドであることを検知して、ブロックアドレスデコーダ 4 B に、選択されているブロックの記憶内容を消去するよう指示する。

指示を受けたブロックアドレスデコーダ 4 B は、消去の対象として選択されているブロックのデータを消去するよう指示する信号を、消去制御回路 1 e に送る。これにより、当該ブロックの記録内容は消去される。

ステップ S 2 2 1 ~ S 2 2 7 の処理により、メモリセルアレイ 1 に記録されたデータは消去され、消去されたデータと同じブロックに記憶されていたデータは、他のページに退避される。

なお、旧データ消去の処理は、書き込み処理の後に行われるものである必要はない。従って、例えば、データを書き込む対象の物理アドレスを決定した後、その物理アドレスに新たに対応付けられた論理アドレスに対応付けられていた古い物理アドレスがあるブロックの記録内容をまず消去し、次いで、データを書き込む対象の物理アドレスに新たなデータを書き込むようにしてもよい。

また、データの消去が行われる場面は、上述のステップ S 2 2 1 ~ S 2 2 7 の場合のような、データの書き込みの処理の一環としてなされる場面に限られない。

従って、データの消去は、新たなデータの書き込みを伴わずに行われてもよい。

具体的には、例えばまず CPU 1 2 が、データの消去を指示するコマンドをコントローラ 2 0 に送り、消去対象の論理アドレスをバスライン 1 3 を介してコントローラ 2 0 に供給する。

コントローラ 2 0 は、コマンドに応答して、図 7 の処理のステップ S 2 0 1

~ S 2 0 3 における処理と同様の処理を行い、消去対象の論理アドレスが示す物理アドレス (つまり、消去対象の物理アドレス) を特定する。

そして、コントローラ 2 0 は、特定された消去対象の物理アドレスを、ステッ

プS203で特定された物理アドレスであるものとして扱い、上述したステップS221～S227の処理を行う。これにより、消去対象の物理アドレスが属するブロックの記録内容が消去される。

なお、上述のデータ書き込み処理において、コントローラ20は、新たに書き込み対象の物理アドレスを指定する際、データが、最後にデータが書き込まれた空きブロック以降のブロックに順次書き込まれ、後続のブロックに空きブロックがないときは、先頭のブロック以降の空きブロックに順次書き込まれるように指定してもよい。

これにより、空きブロックへの書き込みはサイクリックになされるので、特定のブロックのみのデータ更新の頻度が高くなることなく、従って特定のブロックの性能が集中的に劣化する事態が防止される。

(空きブロックテーブル及びアドレス変換テーブル更新)

以上の処理により、データの消去やデータの書き込みが完了すると、コントローラ20は、空きブロックテーブル及びアドレス変換テーブルを更新するため、図10に示す処理を開始する。

図10に示す処理において、まず、コントローラ20は、空きブロックテーブルを更新するため、図7のステップS201～S205の処理と実質的に同一の処理を行って、フラッシュメモリユニット10から空きブロックテーブルを取得し、その空きブロックテーブルを一時記憶する(ステップS301)。

次に、コントローラ20は、一時記憶した空きブロックテーブルの内容に基づき、新たに空きブロックテーブル及びアドレス変換テーブルを書き込むための空きブロックを1個特定し、そのブロックの先頭のページを記憶する(ステ

ップS302)。

そして、コントローラ20は、一時記憶した空きブロックテーブルのうち、データの書き込みがなされた空きブロック及びステップS302で特定された空きブロックを示すビットや、ステップS206及びS223で特定された物理アドレスが属するブロックを示すビットを、「1」から「0」に変換する。また、コントローラ20は、空きブロックテーブル及びアドレス変換テーブルが現在ある

ブロックを表すビットや、ステップS 2 2 7で記録内容を消去されたブロックを示すビットを、「0」から「1」に変換する（ステップS 3 0 3）。

次に、コントローラ20は、ステップS 3 0 2で特定した空きブロックの先頭ページの物理アドレスをグローバルバッファ6に供給し、制御回路5にラッチ信号Slatchを送る（ステップS 3 0 4）。

制御回路5は、ラッチ信号Slatchに応答して、ビジー信号Sbusyの供給を停止し、コントローラ20へのレディ信号Sreadyの供給を開始する。そして、Xアドレスデコーダ4Xに、コントローラ20からグローバルバッファ6に供給された物理アドレスを選択させる。

一方、コントローラ20は、レディ信号Sreadyに応答して、ステップS 3 0 3で変換済みの空きブロックテーブルのうち先頭の1バイト分をグローバルバッファ6に供給し（ステップS 3 0 5）、制御回路5に書込信号Swriteを送る（ステップS 3 0 6）。

制御回路5は、書込信号Swriteに応答して、コントローラ20からグローバルバッファ6に供給されたデータをグローバルバッファ6にラッチさせ、レディ信号Sreadyの供給を停止し、コントローラ20へのビジー信号Sbusyの供給を再開する。グローバルバッファ6は、バスライン13上のデータをラッチして、I/Oバッファ2に格納する。

次に、制御回路5は、I/Oバッファ2に、I/Oバッファ2が格納してい

るデータをデータ入出力端Tdataに供給させ、書込制御端Twritecontにアクティブレベルの書込制御信号を供給して、データ入出力端Tdataに供給されているデータを、現在選択されているページの先頭のメモリセルに記録させる。

そして、制御回路5は、ビジー信号Sbusyの供給を停止し、コントローラ20へのレディ信号Sreadyの供給を再開する。

コントローラ20は、レディ信号Sreadyの供給の再開を検知すると、自己が一時記憶する空きブロックテーブルのうち未だフラッシュメモリユニット10に供給していない部分が残っているか否かを判別する（ステップS 3 0 7）。

そして、残っていると判別すると、コントローラ20は、自己が一時記憶する

空きブロックテーブルの後続の1バイトをグローバルバッファ6に供給して（ステップS308）、処理をステップS306に移す。

一方、残っていないと判別すると、コントローラ20は、アドレス変換テーブルを更新するため、アドレス変換テーブルの先頭ページの物理アドレスをグローバルバッファ6に供給し、制御回路5にラッチ信号Slatchを供給して、制御回路5からレディ信号Sreadyが供給されるのを待機する（ステップS309）。

すると、フラッシュメモリユニット10は、ステップS103でラッチ信号を供給された場合と同様にして、ビジー信号Sbusyの供給を停止して、コントローラ20にレディ信号Sreadyを供給し、アドレス変換テーブルのうち、コントローラ20が指示するページの記憶内容を、コントローラ20に供給する。

一方、コントローラ20は、ステップS105と同様にして、フラッシュメモリユニット10から、自己が供給した物理アドレスにあたるページに記憶されている各論理アドレスと、各論理アドレスに対応付けられた物理アドレスとを読み取って一時記憶する（ステップS310）。

次に、コントローラ20は、一時記憶した各論理アドレスの中に、物理アド

レスの割り当てを変更されるべき対象として自らが記憶している論理アドレスと一致するものがあるか否かを判別する（ステップS311）。

一致するものがないと判別したとき、コントローラ20は、処理をステップS313へ移す。一致するものがあると判別したとき、コントローラ20は、自己が一時記憶している物理アドレスのうち、一致すると判別した論理アドレスに対応付けられているものを、その論理アドレスに新たに対応付けられるべき物理アドレスへと変換し（ステップS312）、処理をステップS313に移す。

例えば、データ書き込みの対象としてCPU12がコントローラ20に供給した論理アドレスは、ステップS311において、物理アドレスの割り当てを変更されるべき対象としてコントローラ20が記憶する論理アドレスと一致すると判別される。そして、ステップS312で、当該論理アドレスが示す物理アドレスは、ステップS202で特定された古い物理アドレスから、ステップS206で特定された新たな物理アドレスへと変換される。

次に、この記憶装置は、ステップS301～S308の処理と実質的に同一の処理を行うことにより、メモリセルアレイ1のうち、図10の処理を開始して以降で最新の書き込みがなされたページの次のページに、アドレス変換テーブルのうち自己が一時記憶する1ページ分の部分を書き込む（ステップS313）。

書き込みが完了すると、コントローラ20は、ステップS313で書き込んだページの数が、アドレス変換テーブルの総ページ数に等しいか否かを判定することにより、アドレス変換テーブルの書き込みを完了したか否かを判別する（ステップS314）。

そして、完了したと判別したときは処理をステップS316へ移す。完了していないと判別したときは、グローバルバッファ6に、アドレス変換テーブル

の次のページの物理アドレスを供給し、制御回路5にラッチ信号Slatchを送出して（ステップS315）、処理をステップS310へ戻す。

ステップS316において、コントローラ20は、更新後の空きブロックテーブル及びアドレス変換テーブルの位置を記憶する。

そして、この記憶装置は、上述したステップS221～S227と同様の処理に従って、更新前の空きブロックテーブル及びアドレス変換テーブルがある論理アドレスの記憶内容を消去する（ステップS317）。

なお、この記憶装置では、データの書き込み順にそのデータの論理アドレスと物理アドレスとの対応関係をアドレス変換テーブルに書き込んでいた。そして、データの読み出し時には、アドレス変換テーブルを順次調べて論理アドレスと物理アドレスとの対応関係を読み出していた。これに対し、論理アドレスと物理アドレスとの対応関係の読み出しに次のような高速化手法を用いてもよい。

例えば、コントローラ20は、データの書き込み時にCPU12から送られた論理アドレスから所定のハッシュ関数を使用して論理アドレスと物理アドレスとの対応関係のアドレス変換テーブル内での記憶位置を求め、求めた記憶位置に論理アドレスと物理アドレスとの対応関係を記憶するように、フラッシュメモリユニット10を制御してもよい。そして、コントローラ20は、データの読み出し時にも同じハッシュ関数を使用してCPU12から送られた論理アドレスから論

理アドレスと物理アドレスとの対応関係の記憶位置を求め、フラッシュメモリユニット10のうち、自己が求めた記憶位置から物理アドレスを読み出せばよい。

この場合、CPU12から送られた論理アドレスから求めた記憶位置の衝突が起こる場合が生じるが、このときは求めた記憶位置の次の記憶位置に論理アドレスと物理アドレスとの対応関係を記憶しても、衝突したものを記憶する領域

域を特別に設けてもよい。

以上説明したように、この記憶装置では、メモリセルアレイ1自身にアドレス変換テーブルと空きブロックテーブルを格納し、且つ、これらのテーブルを用いてデータの読み出し及び書き込みが可能となる。

なお、各ブロックの大きさは上述の大きさに限られない。例えば、各ブロックは16ページから構成される必要はなく、例えば、各ページの大きさの整数倍であればよい。

また、この記憶装置が、例えばJEIDA/PCMCIAインターフェースを備えたフラッシュメモリである場合、各ページの大きさは、コンピュータ11上で実行されるOS（オペレーティングシステム）により決定されるのが一般であるが、必ずしもOSにより決定される必要はない。

また各ブロックの大きさは、この記憶装置に固有の値であるのが一般的であるが、この記憶装置における各ブロックの大きさは、外部からの制御により指定できるものであってもよい。

（第2の実施の形態）

第1の実施の形態の記憶装置では、空きブロックの位置を表す情報が特定の領域に集中して格納されていた。しかし、空きブロックの位置を表す情報は集中して保存される必要はなく、例えば、各空きブロックに、他の空きブロックの位置を表す情報を順次格納することにより、空きブロックを連鎖させる形態をとって空きブロックの管理を行うことができる。

以下、そのような連鎖した空きブロックを備える第2の実施の形態の記憶装置及びその空きブロックの管理の処理を、図11～図13を参照して説明する。

この実施の形態の記憶装置の基本構成は、第1の実施の形態の記憶装置の基本

構成と実質的に同一である。ただし、この実施の形態では、アドレス変換テーブルは、任意のブロックの先頭領域に格納されている。

また、各空きブロックの冗長部の所定位置には、図 11 に示すように、その空きブロックよりも、論理的に後ろにある空きブロックのうちの最も近い空きブロックの番号を示す空きブロック情報が記憶されている。

この空きブロック情報により定義される空きブロックの連鎖は、物理的な空きブロックの配置とは、異なった順番で連鎖されている。

また、制御回路 5 は、空きブロックの連鎖のうちの最初の空きブロックの空きブロック番号を記憶している。

この実施の形態の記憶装置では、上述のように、データ領域と冗長部が各ページの中で互いに重複しないように配置されている。

このため、既に空きブロック情報が書き込まれている空きブロックにデータを書き込む処理を、データを単に上書きすることにより実行しても、空きブロックの冗長部に書き込まれた空きブロック情報が破壊されることはない。

(第 2 の実施の形態の動作)

この記憶装置にデータを書き込む処理は、データ書き込みの処理と、空きブロック情報及びアドレス変換テーブルの更新の処理とを除き、第 1 の実施の形態の処理と同一である。そこで、データ書き込みの処理と、空きブロック情報及びアドレス変換テーブルを更新する処理とを中心に、図 12 ～図 13 を参照してこの記憶装置の動作を説明する。

(データ書き込み)

この記憶装置において、データを書き込むときは、図 12 に示すステップ S 501 から処理を開始する。

ステップ S 501 において、CPU 12 は、書き込み対象の論理アドレスを特定した後、その論理アドレスのうち最も番号が若いものの値をバスライン 13 上に供給し、コントローラ 20 にデータの書き込みを指示するコマンドを供給する。

コントローラ 20 は、ステップ S 501 で供給されたコマンドに応答し、バスライン 13 を介して CPU 12 から供給された論理アドレスを、書き込み対象の論理アドレスとして記憶する（ステップ S 502）。

次いで、コントローラ 20 は、前に述べたステップ S 202 の処理と実質的に同一の処理を行うことにより、自己が記憶する書き込み対象の論理アドレスに対応付けられている物理アドレスを特定する（ステップ S 503）。

次に、コントローラ 20 は、自己が記憶するデータを参照し、先頭の空きブロックの先頭ページを特定する（ステップ S 504）。そして、以後、ステップ S 503 で特定した物理アドレスと、ステップ S 504 で特定したページにあたる物理アドレスとを互いに入れ替えて扱うことと決定する（ステップ S 505）。これにより、書き込み対象の物理アドレスは、ステップ S 504 で特定された、連鎖の先頭の空きブロックにあたる物理アドレスとなる。

次に、コントローラ 20 は、グローバルバッファ 6 に、ステップ S 505 で書き込み対象として決定された物理アドレスを供給し、制御回路 5 に、当該物理アドレスが示すページの先頭から 513 バイト目以降を読み出すことを指示する（ステップ S 506）。

制御回路 5 は、ステップ S 504 で特定されたページを選択するよう X アドレスデコーダ 4 X に指示し、次いで、メモリセルアレイ 1 の読出制御端 Treadcont にデータ読み出しの指示を送る。メモリセルアレイ 1 は、当該ページの冗長部に記憶されている空きブロック情報を、I/O バッファ 2 及びグローバルバッファ 6 を介して、コントローラ 20 に 1 バイトずつ順次供給する。

コントローラ 20 は、フラッシュメモリユニット 10 から供給された空きブロック情報を読み取ると、その空きブロック情報を、先頭の空きブロックの位置の情報として記憶する（ステップ S 507）。ステップ S 507 で記憶された空きブロック情報は、図 12 に示す処理を経た後に新たに連鎖の先頭となる

空きブロックを表す。

続いてこの記憶装置は、ステップ S 505 で書き込み対象として決定したページに当たる物理アドレスを、第 1 の実施の形態におけるステップ S 206 で特定

された物理アドレスとして扱い、上述のステップS211～S217の処理と実質的に同一の処理を行ってデータを書き込む（ステップS508）。

そして、ステップS508の処理のうち、ステップS217にあたる処理において、CPU12から書き込み終了を表す制御コードが供給されたと判別すると、コントローラ20は、データ書込の処理を終了する。

また、ステップS214にあたる処理において、現在選択中のページに512バイトのデータが書き込まれたと判別すると、コントローラ20は、CPU12に、次の論理アドレスの供給を要求する信号を送り、CPU12はこの信号に回答して、次の論理アドレスをバスライン13上に送出する。そして、コントローラ20は、バスライン13を介してCPU12から次の論理アドレスを取得すると、その論理アドレスを、書き込み対象の論理アドレスとして、従前記憶していた論理アドレスに上書きして記憶し、処理をステップS503に戻す。

以上説明したステップS501～S508の処理により、書き込み対象の論理アドレスが示す物理アドレスが、空きブロックの連鎖の先頭から順次特定され、特定された空きブロックにデータの書き込みが行われる。

（空きブロック情報及びアドレス変換テーブル更新）

コントローラ20は、空きブロック情報及びアドレス変換テーブルを更新するとき、図13のステップS601より処理を開始する。

図13に示す処理において、まず、コントローラ20は、自己が記憶するデータを参照し、先頭の空きブロックの先頭ページを特定する（ステップS601）

次に、コントローラ20は、ステップS601で特定したページの物理アドレスをグローバルバッファ6に供給し、制御回路5にラッチ信号Slatchを送る（ステップS602）。

制御回路5は、ラッチ信号Slatchに回答し、グローバルバッファ6に供給された物理アドレスが示すページを選択するようXアドレスデコード4Xに指示し、ページが選択されると、メモリセルアレイ1の読出制御端Treadcontにデータ読み出しの指示を送る。メモリセルアレイ1は、当該ページの記憶内容を、I／

Oバッファ2及びグローバルバッファ6を介してコントローラ20に1バイトずつ順次出力する。

そして、コントローラ20は、グローバルバッファ6から供給される当該記憶内容のうち、先頭から513バイト目以降を順次読み取ることにより、読み取られたページの冗長部に記憶されている空きブロック情報を取得する（ステップS603）。

コントローラ20は、空きブロック情報を読み取ると、その空きブロック情報を、ステップS601で特定した先頭の空きブロックの先頭ページの情報に上書きする。すなわち、先頭の空きブロックの位置の情報を、その次の空きブロックの位置の情報に更新する（ステップS604）。

次に、コントローラ20は、前に述べたステップS309～S315の処理を実行してアドレス変換テーブルを更新し（ステップS605）、更新後のアドレス変換テーブルの位置を記憶する（ステップS606）。

ただし、更新後のアドレス変換テーブルは、ステップS601で特定され、現在選択されているページにあたる論理アドレスに書き込む。また、更新されるべき情報には、論理アドレスが新たに割り当てられた物理ブロックの情報の他、前に述べたステップS505における物理アドレスの交換の結果の情報が含まれる。

次に、コントローラ20は、空きブロック情報を追加するため、自己が記憶するデータを参照し、先頭の空きブロックの先頭ページを特定する（ステップS607）。

次に、コントローラ20は、自己が現在特定しているページの物理アドレスをグローバルバッファ6に供給し、制御回路5にはラッチ信号Slatchを送る（ステップS608）。

制御回路5は、ラッチ信号Slatchに応答し、グローバルバッファ6に供給された物理アドレスが示すページをXアドレスデコーダ4Xに選択させ、メモリセルアレイ1の読出制御端Treadcontにデータ読み出しの指示を送って、メモリセルアレイ1に、当該ページの記憶内容を、I/Oバッファ2及びグローバルバッ

ファ6を介してコントローラ20に順次供給させる。

そして、コントローラ20は、グローバルバッファ6から供給される情報のうち、先頭から513バイト目以降を順次読み取ることにより、当該ページの冗長部に記憶されている情報を取得する（ステップS609）。

次に、コントローラ20は、ステップS609で読み取った情報の中に、空きブロック情報があるか否かを判別する（ステップS610）。

空きブロック情報があるとき、コントローラ20は、その空きブロック情報が示す次の空きブロックの先頭ページを特定し（ステップS611）、処理をステップS608に戻す。

空きブロック情報がないとき、現在特定されているページは、末尾の空きブロックの先頭ページである。

このとき、コントローラ20は、上述のステップS301～S308の処理と実質的に同様の処理を行い、先頭の512バイトが空白で、513バイト目以降に、空きブロック情報として更新前の古いアドレス変換テーブルが現在格納されているブロックの情報を含んでいるデータを、現在特定されているペー

ジに書き込ませるよう、フラッシュメモリユニット10を制御する（ステップS612）。

これにより、古いアドレス変換ブロックが現在格納されているブロックは、空きブロックの連鎖の末尾に組み込まれる。

次に、この記憶装置は、上述したステップS221～S227と同様の処理に従って、更新前のアドレス変換テーブルがあるブロックの記憶内容を消去する（ステップS613）。これにより、古いアドレス変換ブロックが格納されていたブロックは、空きブロックとなる。

以上説明したステップS601～S613の処理により、空きブロック情報及びアドレス変換テーブルは更新される。

なお、メモリセルアレイ1を初期化する場合、コントローラ20は、一旦、メモリセルアレイ1の全ブロックの内容を消去した後、各ブロックの冗長部に空きブロック連鎖情報を書き込むよう、フラッシュメモリユニット10を制御する。

この際、コントローラ 20 は、図 11 に示すように、空きブロックがとびとびに連鎖されるように、連鎖情報を書き込む。連鎖情報をこのような構成として、データの書き込み位置を分散させれば、一部の領域のみに繰り返してデータが書き込まれる事態を防止できる。

なお、この発明は、上記実施の形態に限定されず、種々の変形及び応用が可能である。

例えば、上記実施の形態では、理解を容易にするため、CPU 12 と記憶装置との間のデータの授受を 1 バイト単位で行ったが、2 バイト、4 バイト単位で行う等、データの転送単位は任意である。同様に、メモリセルの容量も 1 バイトに限定されず、2 バイト等でもよい。

また、上記の実施の形態の記憶装置に使用されているメモリセルアレイ 1 は、

1 チップだけであった。しかしながら、複数チップのフラッシュメモリを有する記憶装置に本発明を適用することもできる。この場合、アドレス変換テーブル（及び空きブロックテーブル）をいずれか 1 チップのフラッシュメモリのいずれか 1 つのブロック内に記憶し、更にコントローラ 20 が、アドレス変換テーブル（及び空きブロックテーブル）を記憶するチップの情報を記憶すればよい。また、上記の第 2 の実施の形態のように空きブロック情報を連鎖情報によって構成する場合には、次の空きブロックのあるチップとブロック番号とを示す連鎖情報を冗長領域に書き込めばよい。

また、上記実施の形態では、メモリセルアレイ 1 は、NAND 型のものによって構成されていたが、NOR 型のものによって構成することができる。

また、上記実施の形態では、記憶装置内に制御回路 5 を配置したが、制御回路 5 が実行する動作をコントローラ 20 や CPU 12 に行わせることにより、制御回路 5 を使用せずに、メモリセルアレイ 1 へのアクセスを制御することも可能である。また、コントローラ 20 が実行する動作を CPU 12 に行わせることにより、コントローラ 20 を使用せずに、メモリセルアレイ 1 へのアクセスを制御することも可能である。

制御回路 5 やコントローラ 20 の動作を CPU 12 が実行する場合、上述の制

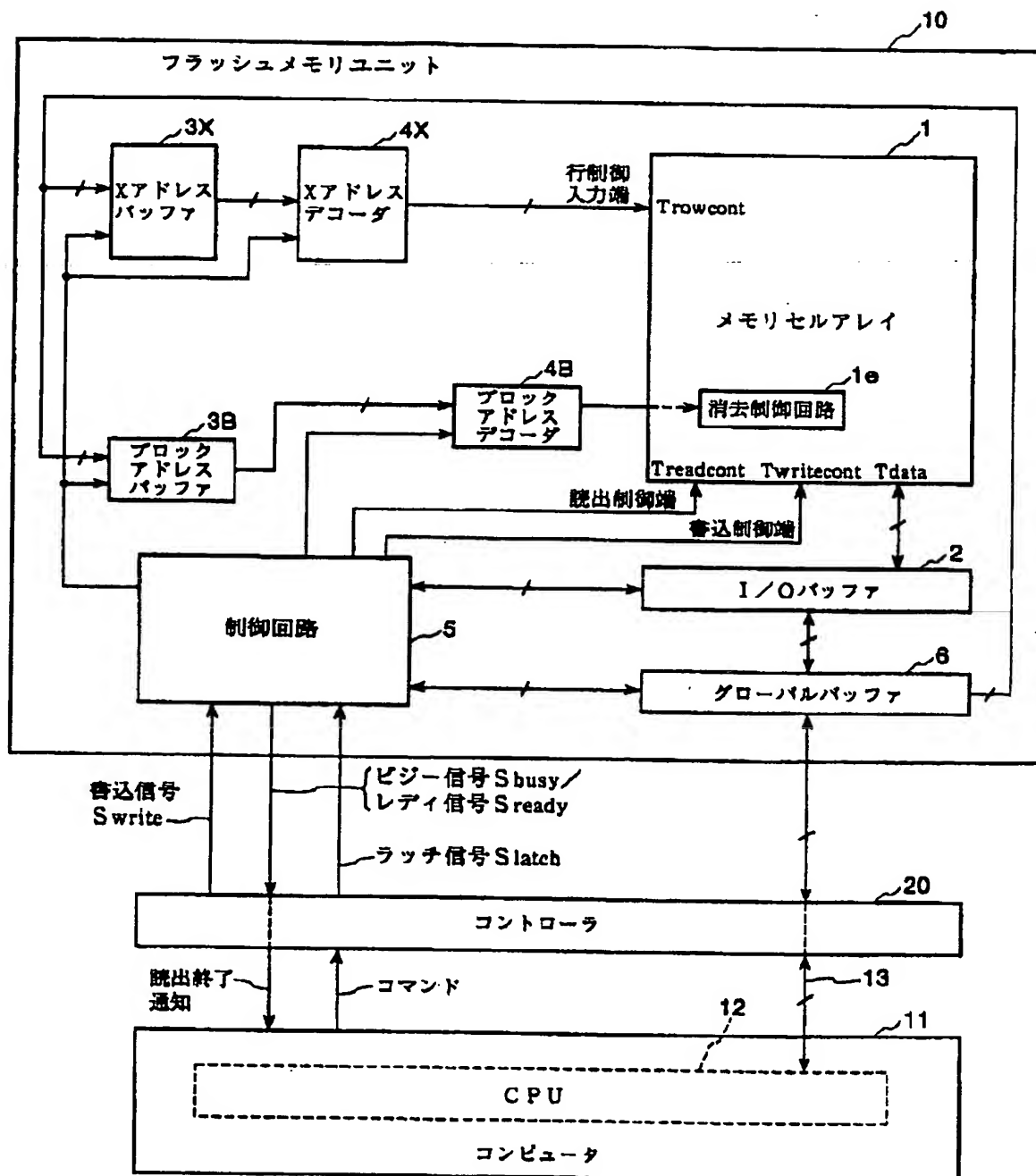
御動作を実行するためのプログラムを格納した媒体（フロッピーディスク、CD-ROM等）から該プログラムをコンピュータ 11 にインストールし、OS（オペレーティングシステム）上で動作させることにより、上述の処理を実行させる。

以上説明したように、この発明によれば、空きブロックの位置を表す情報や論理アドレスと物理アドレスとの対応関係を表す情報等が、ブロック消去型記憶媒体に記憶される。このため、空きブロックの位置を表す情報や論理アドレスや物理アドレスとの対応関係を表す情報等を記憶する記憶媒体を別に用意す

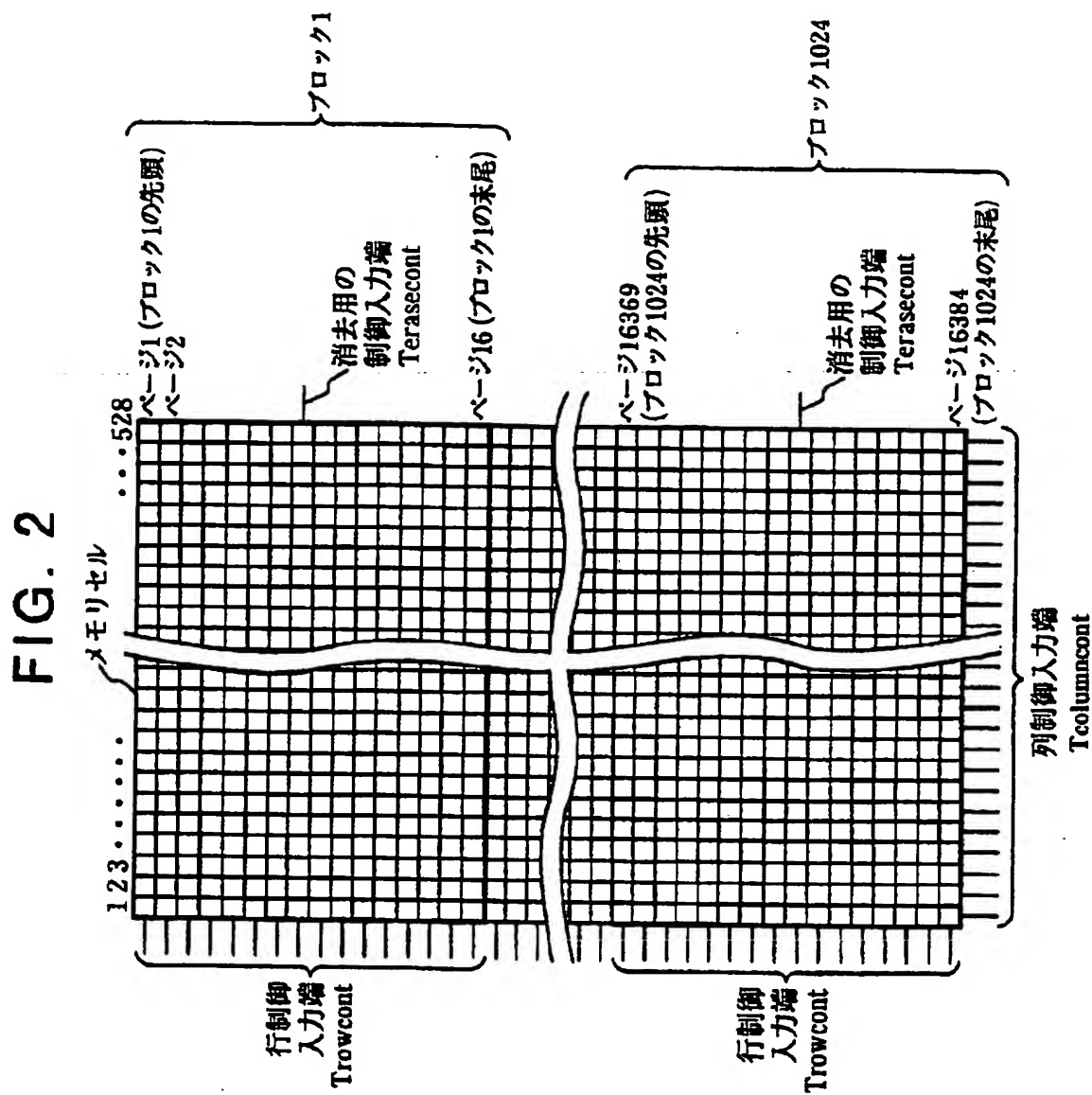
る必要がない。

【図1】

FIG. 1

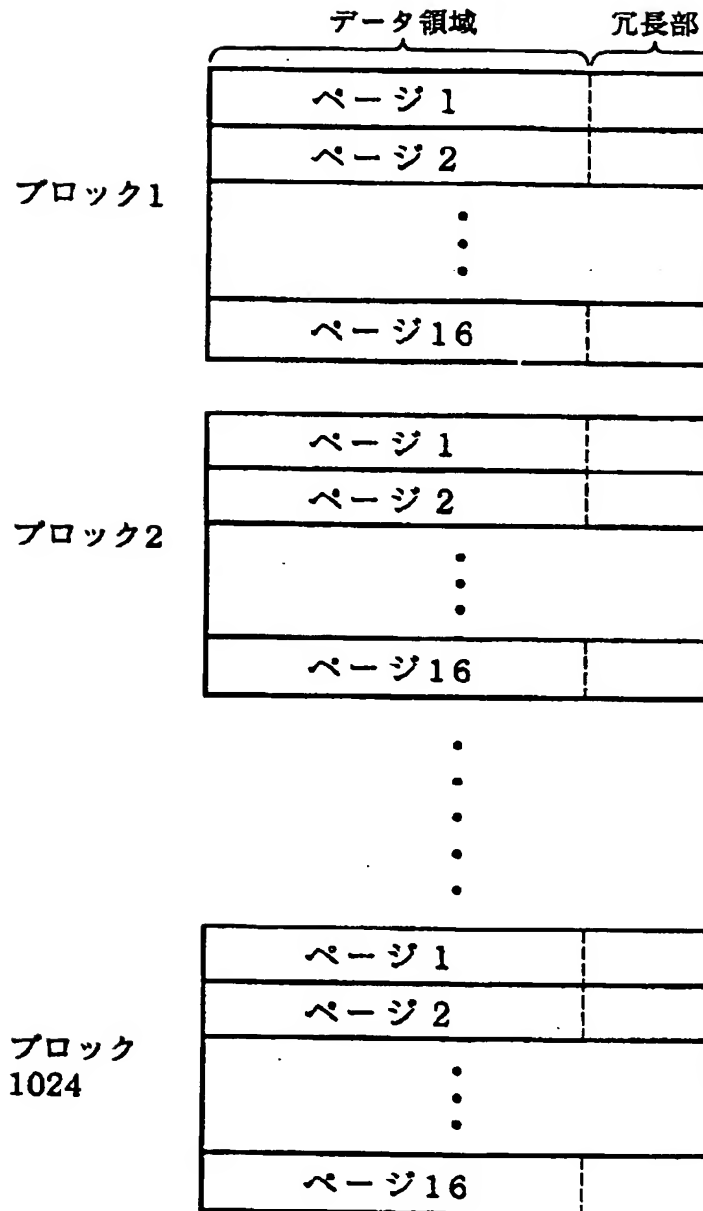


【図 2】

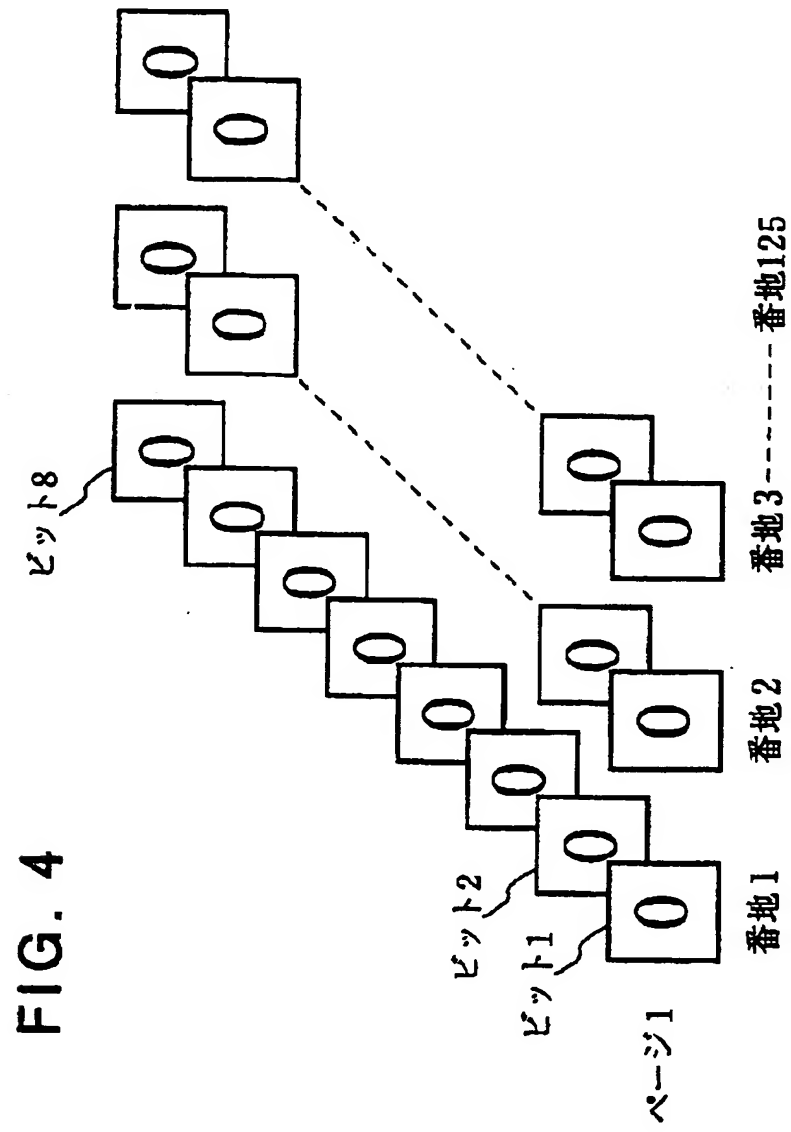


【図3】

FIG. 3

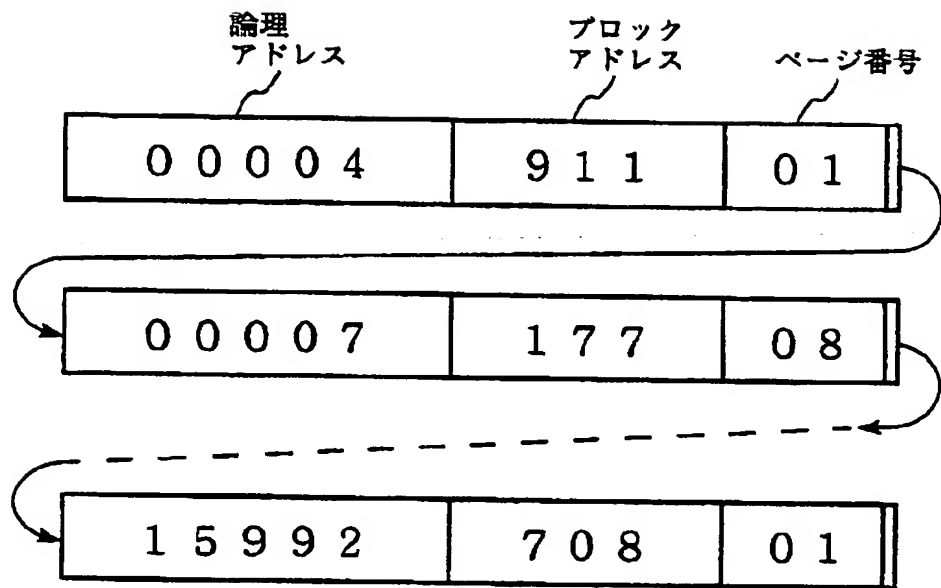


【図4】



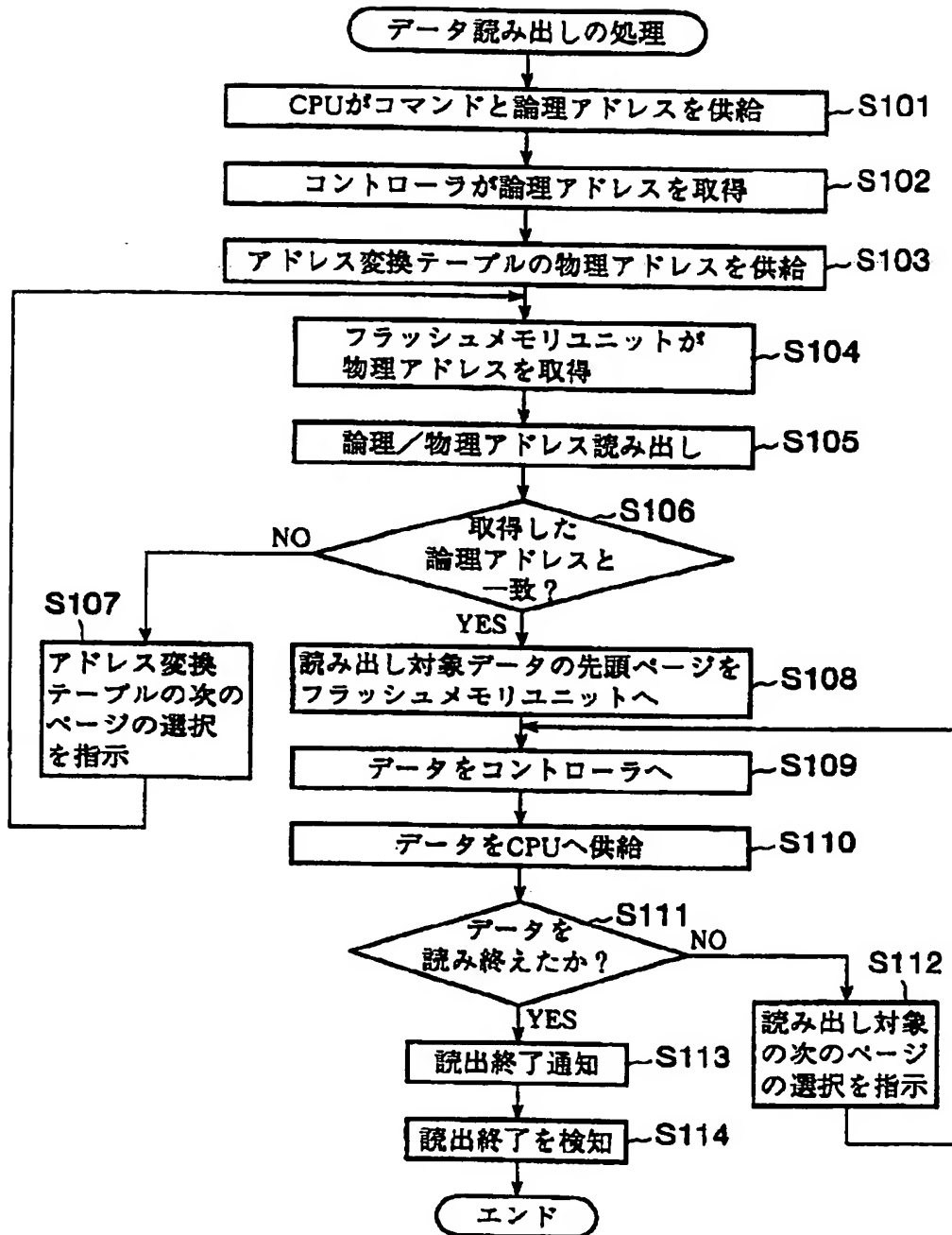
【図 5】

FIG. 5



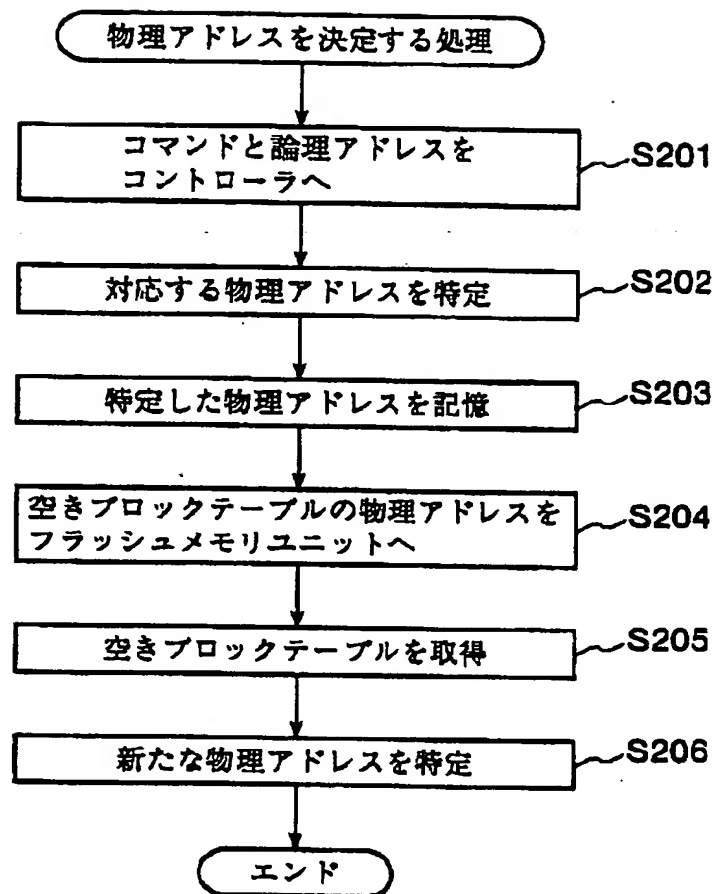
【図6】

FIG. 6



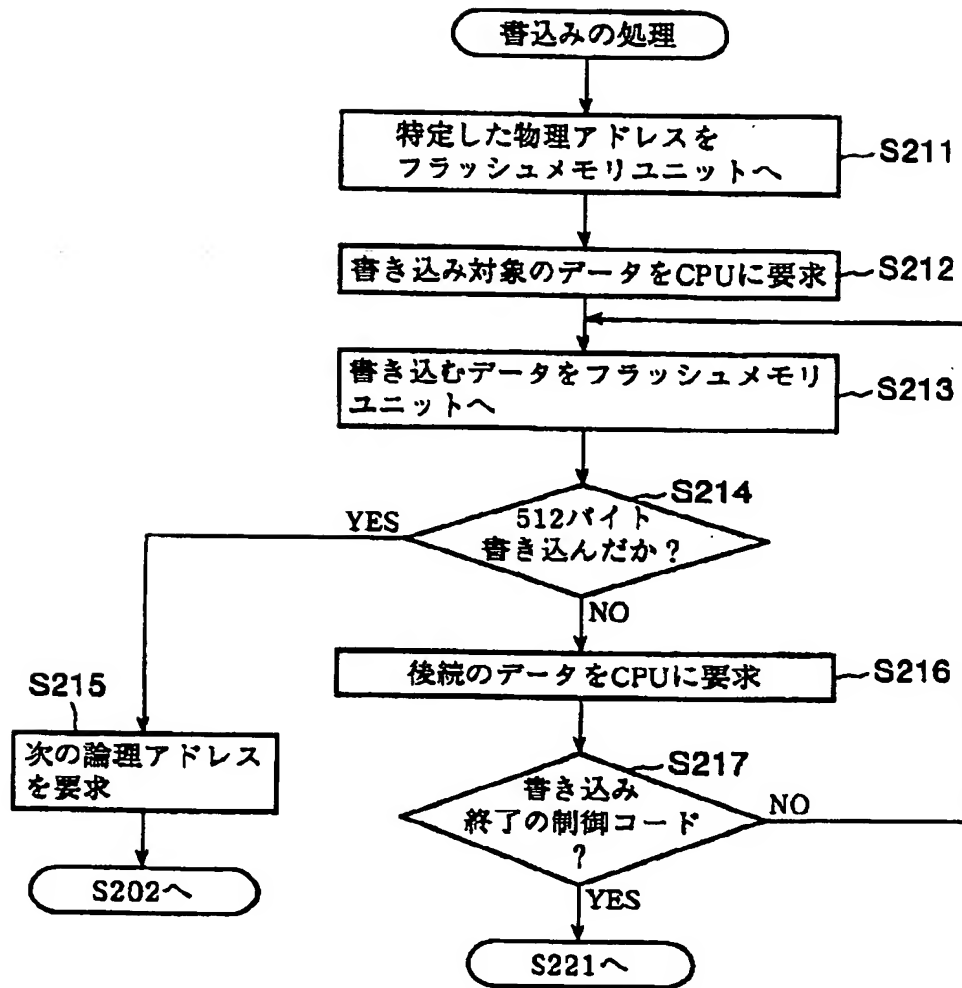
【図 7】

FIG. 7



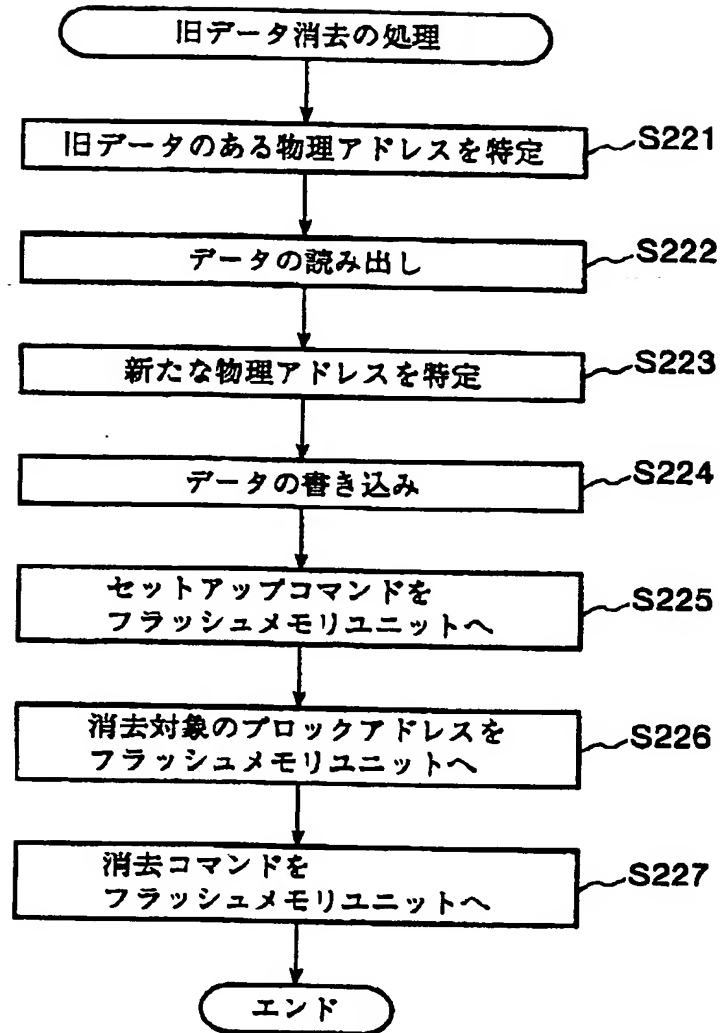
【図8】

FIG. 8



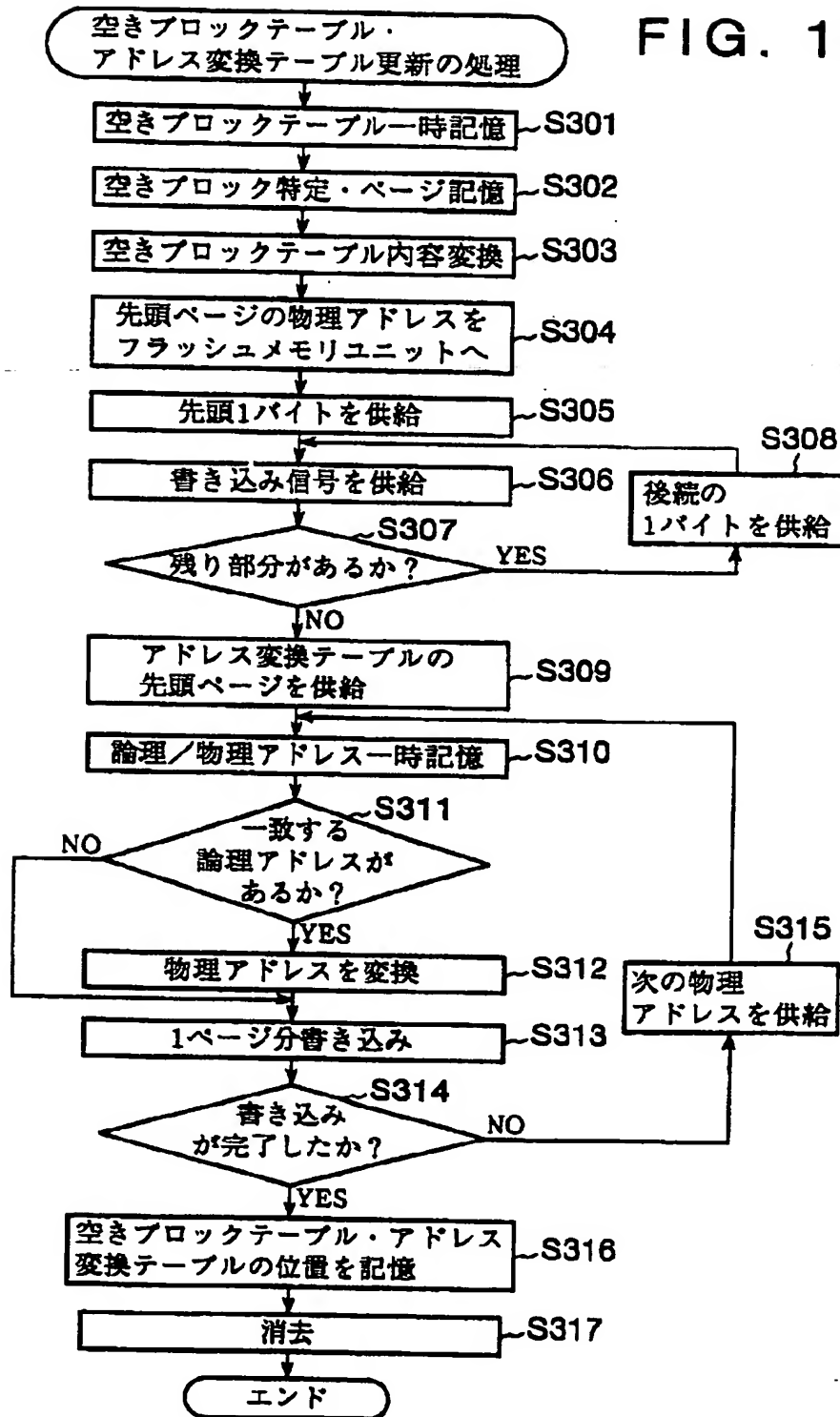
【図9】

FIG. 9



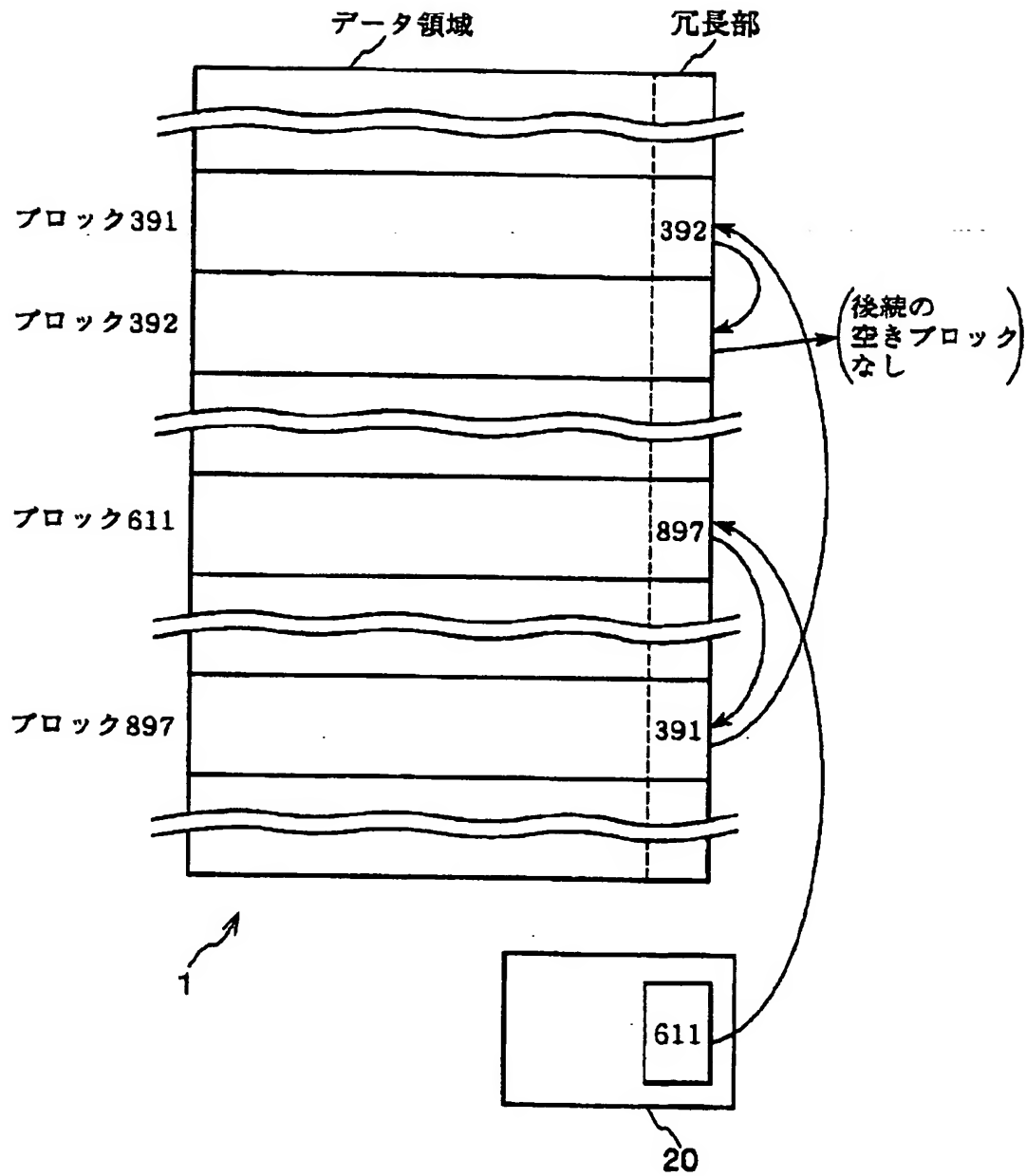
【図10】

FIG. 10



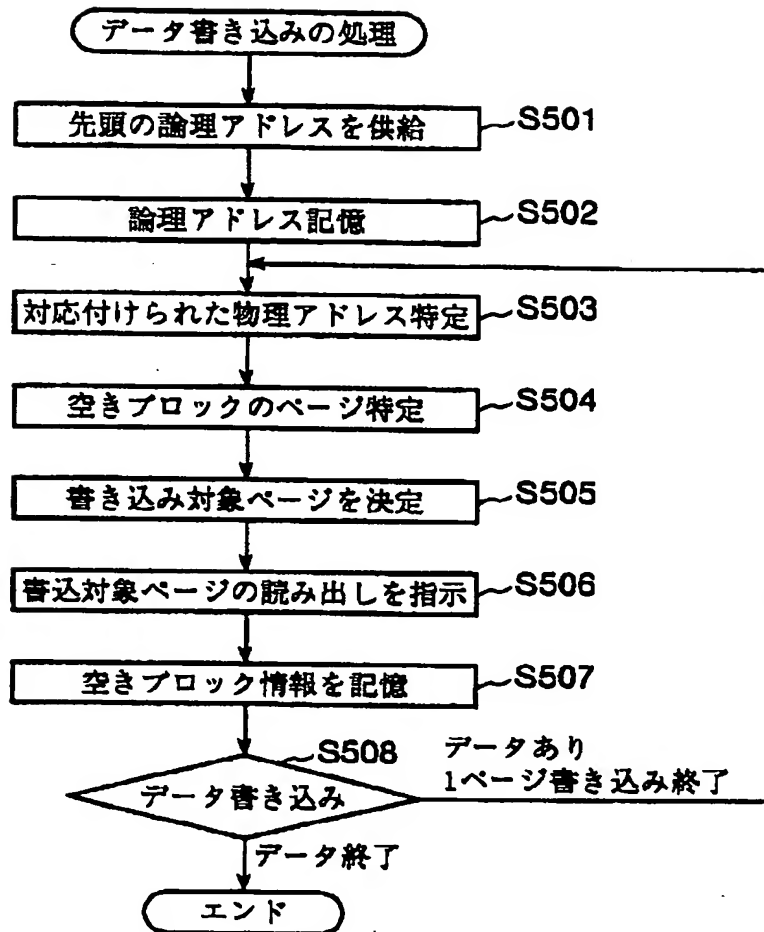
【図11】

FIG. 11



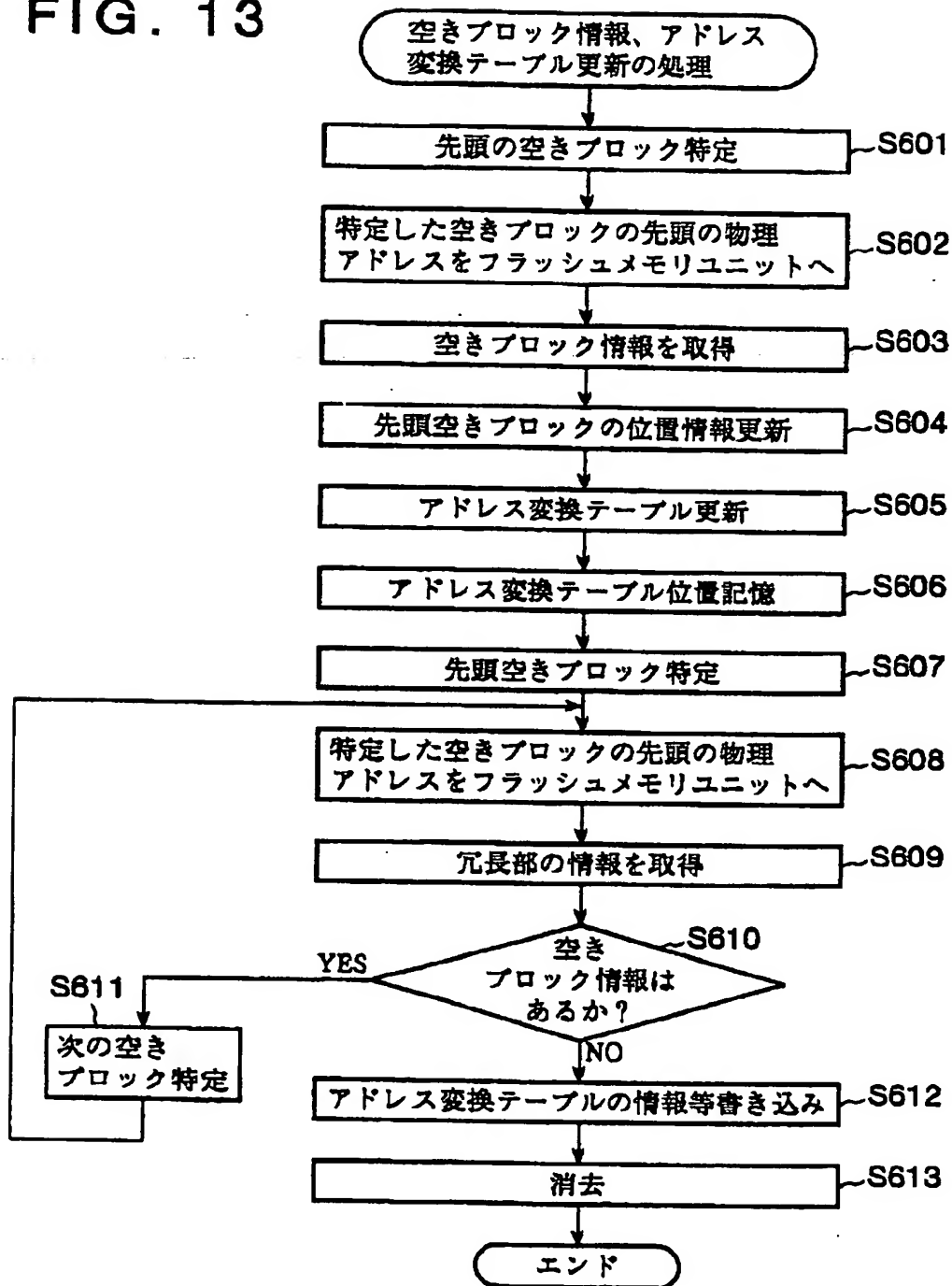
【図12】

FIG. 12



【図13】

FIG. 13



【国際調査報告】

国際調査報告		国際出願番号 PCT/J P 98/05441	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int Cl ^o G06F12/02			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int Cl ^o G06F12/02			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-1999年 日本国登録実用新案公報 1994-1999年 日本国実用新案登録公報 1996-1999年			
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	J P, 6-187205, A (株式会社ニコン) 8. 7月. 1994 (08. 07. 94) ファミリーなし	1-13, 15, 17, 19, 21-24	
Y	J P, 7-134674, A (松下電送株式会社) 23. 5月. 1995 (23. 05. 95) & US, 5598548, A	1-13, 15, 17, 19, 21-24	
Y	J P, 8-249225, A (日本電気株式会社) 27. 9月. 1996 (27. 09. 96) ファミリーなし	13, 15, 17, 19, 24	
A		14, 16, 18, 20	
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 02. 03. 99		国際調査報告の発送日 16.03.99	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 森原 孝治 印 電話番号 03-3581-1101 内線 3546	

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。